

AT

DIALOG(R)File 352:Derwent WPI
(c) 2003 Thomson Derwent. All rts. reserv.

010701340 **Image available**

WPI Acc No: 1996-198295/199620

Related WPI Acc No: 2000-121875; 2003-650347; 2003-650348

XRPX Acc No: N96-166556

Semiconductor integrated circuit e.g. memory - has auxiliary supply voltage generator which generates voltage when reduction in first supply voltage is detected

Patent Assignee: MATSUSHITA DENKI SANGYO KK (MATU)

Number of Countries: 001 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 8069690	A	19960312	JP 94204885	A	19940830	199620 B
JP 3110257	B2	20001120	JP 94204885	A	19940830	200101

Priority Applications (No Type Date): JP 94204885 A 19940830

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 8069690	A		26	G11C-011/407	
JP 3110257	B2		18	G11C-011/407	Previous Publ. patent JP 8069690

Abstract (Basic): JP 8069690 A

The semiconductor integrated circuit consists of a first supply voltage generator (301) to which a control signal is input. The level change of the control signal is detected by a level detection circuit (304) based on which a first supply voltage is generated by the first supply voltage generator. An oscillator (305) oscillates based on the control signal level change and controls a second supply voltage generator (303) at the standby time.

An auxiliary supply voltage generator is driven by the oscillation signal at the time of operation. The auxiliary supply voltage generator generates a supply voltage when reduction in the first supply voltage is detected at the time of operation. The second and auxiliary supply voltage generators are connected in such a way that they supply an optimum power supply leak current during operation and standby time.

ADVANTAGE - Simplifies circuit composition. Avoids increase in power consumption. Limits internal leak current.

Dwg. 1/25

Title Terms: SEMICONDUCTOR; INTEGRATE; CIRCUIT; MEMORY; AUXILIARY; SUPPLY; VOLTAGE; GENERATOR; GENERATE; VOLTAGE; REDUCE; FIRST; SUPPLY; VOLTAGE; DETECT

Index Terms/Additional Words: BOOSTER; POWER; SUPPLY

Derwent Class: U13; U14

International Patent Class (Main): G11C-011/407

International Patent Class (Additional): H01L-021/822; H01L-021/8242; H01L-027/04; H01L-027/108

File Segment: EPI

DIALOG(R)File 347:JAP10

05114190 **Image available**
SEMICONDUCTOR INTEGRATED CIRCUIT

PUBLISHED: March 12, 1996 (19960312)

INVENTOR(S): SUZUKI RIICHI

IWATA TORU

TSUJI TOSHIAKI

AKAMATSU HIRONORI

APPLICANT(s): MATSUSHITA ELECTRIC IND CO LTD [000582] (A Japanese Company
or Corporation), JP (Japan)

APPL. NO. : 06-204885 [JP 94204885]

FILED: August 30, 1994 (19940830)

INTL CLASS: [6] G11C-011/407; H01L-027/108; H01L-021/8242

JAPIO CLASS: 45.2 (INFORMATION PROCESSING -- Memory Units); 42.2 (ELECTRONICS -- Solid State Components)

JAP10 KEYWORD:R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS)

ABSTRACT

CONSTITUTION: A control signal having level varied corresponding to the operating time and the waiting time is inputted to the source voltage generation circuit 301 for the operating time, and a source voltage is generated corresponding to the level change of the control signal. When the source voltage drops lower than a detection level of a level detection circuit 304 regardless of the operating time and the waiting time, an oscillation circuit 305 oscillates. The source voltage generation circuit 303 for the waiting time is controlled only by the output of the oscillation circuit 305, and an auxiliary source voltage generation circuit 302 is driven with an oscillation signal outputted from the oscillation circuit 305 by the control signal only at the operating time. When current supply capacity sufficient for compensating the power source leakage current at the operating time is provided for the auxiliary source voltage generation circuit 302, the irreducible minimum current supply capacity sufficient for compensating the power source leakage current at the waiting time may do with for the source voltage generation circuit 303 for the waiting time.

特開平8-69690

(43) 公開日 平成8年(1996)3月12日

(51) Int. Cl. ⁶
G11C 11/407
H01L 27/108
21/8242

識別記号

F I

7735-4M

G11C 11/34

354

F

H01L 27/10

681

F

審査請求 未請求 請求項の数33 O L (全26頁)

(21) 出願番号 特願平6-204885

(22) 出願日 平成6年(1994)8月30日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 鈴木 利一

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 岩田 徹

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 辻 敏明

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 弁理士 前田 弘 (外2名)

最終頁に続く

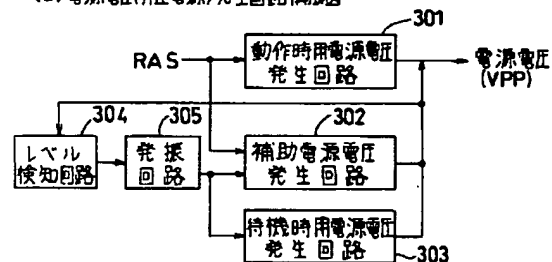
(54) 【発明の名称】 半導体集積回路

(57) 【要約】

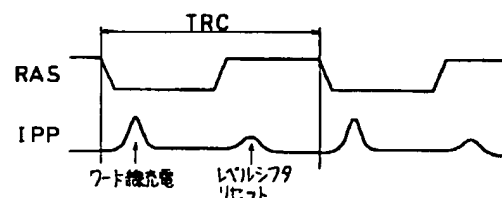
【目的】 待機時の消費電流を増やさずに動作時のリーク電流を補償する電源電圧発生回路を実現する。

【構成】 動作時電源電圧発生回路301には、動作時、待機時に応じてレベルが変化する制御信号が入力されており、制御信号のレベル変化に対応して電源電圧を発生する。動作時、待機時にかかわらず、電源電圧がレベル検知回路304の検知レベルより降下すると、発振回路305が発振する。待機時電源電圧発生回路303は発振回路305の出力のみで制御されており、補助電源電圧発生回路302は、制御信号によって動作時だけ、発振回路305が出力する発振信号で駆動される。動作時の電源リーク電流を補うに十分な電流供給能力を補助電源電圧発生回路302に持たせれば、待機時電源電圧発生回路303には、待機時の電源リーク電流を補償する必要最小限の電流供給能力があればよい。

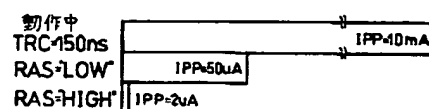
(a) 電源電圧(昇圧電源)発生回路構成図



(b) 昇圧電源消費電流(IPP)タイミングチャート



(c) 昇圧電源消費電流(IPP)比較



【特許請求の範囲】

【請求項 1】 外部から与える電源電圧とは異なる第 1 の電源電圧を動作時に発生する第 1 の電源電圧発生回路と、

前記第 1 の電源電圧を検知して前記第 1 の電源電圧が検知レベルよりも低下した際に電圧を発生する第 2 の電源電圧発生回路と、

動作時のみに前記第 1 の電源電圧を検知して前記第 1 の電源電圧が検知レベルよりも低下した際に電圧を発生する第 3 の電源電圧発生回路とを備えたことを特徴とする半導体集積回路。

【請求項 2】 第 3 の電源電圧発生回路は、その供給能力が、第 2 の電源電圧発生回路の供給能力よりも高いことを特徴とする請求項 1 記載の半導体集積回路。

【請求項 3】 第 2 の電源電圧発生回路及び第 3 の電源電圧発生回路は、第 1 の電源電圧を検知する電圧検知部を有し、

前記第 3 の電源電圧発生回路の電圧検知部は、前記第 2 の電源電圧発生回路の電圧検知部と共用されることを特徴とする請求項 1 記載の半導体集積回路。

【請求項 4】 第 3 の電源電圧発生回路は、第 1 の電源電圧発生回路により兼用され、

前記第 3 の電源電圧発生回路を兼用する第 1 の電源電圧発生回路は、

チャージポンプ回路と、

前記チャージポンプ回路を駆動するための駆動信号を発生する第 1 の発振回路とを有し、

前記第 1 の発振回路は、入力される制御信号に応じて半導体集積回路の動作時のみに発振する構成であることを特徴とする請求項 1、請求項 2 又は請求項 3 記載の半導体集積回路。

【請求項 5】 第 3 の電源電圧発生回路は、第 2 の電源電圧発生回路により兼用され、

前記第 3 の電源電圧発生回路を兼用する第 2 の電源電圧発生回路は、

チャージポンプ回路と、

前記チャージポンプ回路を駆動するための駆動信号を発生する第 2 の発振回路とを有し、

前記第 2 の発振回路は、入力される制御信号に応じて半導体集積回路の動作時と待機時との間で発振周波数が変更される構成であることを特徴とする請求項 1、請求項 2 又は請求項 3 記載の半導体集積回路。

【請求項 6】 第 2 の発振回路は、動作時の発振周波数が待機時の発振周波数よりも高い周波数に変更されることを特徴とする請求項 5 記載の半導体集積回路。

【請求項 7】 第 1 の電源電圧発生回路及び第 3 の電源電圧発生回路は、各々、チャージポンプ回路を有し、

前記第 1 の電源電圧発生回路は、ロウアドレスストローブ信号 (RAS) に同期して前記チャージポンプ回路を駆動し、

前記第 3 の電源電圧発生回路は、コラムアドレスストローブ信号 (CAS) に同期してチャージポンプ回路を駆動する構成であることを特徴とする請求項 1、請求項 2 又は請求項 3 記載の半導体集積回路。

【請求項 8】 第 3 の電源電圧発生回路は、第 1 の電源電圧発生回路よりも電流供給能力が低いことを特徴とする請求項 1、請求項 2、請求項 3、請求項 4、請求項 5、請求項 6 又は請求項 7 記載の半導体集積回路。

【請求項 9】 動作時に昇圧電源電圧又は昇圧電源から作られる電圧が印可されるワード線と、

待機時に前記ワード線を接地電位にする制御トランジスタとを備えた半導体集積回路において、

前記制御トランジスタは、そのドレインに前記ワード線が接続されると共に、そのゲート及びソースに接地電位レベル又は電源電圧レベルよりも低い電圧が印可される N チャンネル MOS トランジスタより成り、

前記 N チャンネル MOS トランジスタは、そのゲート長が、半導体集積回路に備える他の N チャンネル MOS トランジスタの最小ゲート長よりも長いことを特徴とする半導体集積回路。

【請求項 10】 動作時に昇圧電源電圧又は昇圧電源から作られる電圧が印可されるワード線と、

待機時に前記ワード線を接地電位にする制御トランジスタとを備えた半導体集積回路において、

前記制御トランジスタは、そのソースに前記ワード線が接続されると共に、そのゲートに昇圧電源電圧又は昇圧電源から作られる電圧が印可され、そのドレインに接地電位レベル又は電源電圧レベルよりも低い電圧が印可される P チャンネル MOS トランジスタより成り、

前記 P チャンネル MOS トランジスタは、そのゲート長が、半導体集積回路に備える他の P チャンネル MOS トランジスタの最小ゲート長よりも長いことを特徴とする半導体集積回路。

【請求項 11】 昇圧端子に接続される整流スイッチと、

前記整流スイッチに電荷を供給する電荷供給手段と、前記整流スイッチを制御する整流スイッチ制御手段と、

クロックを供給するクロック供給手段と、前記電荷供給手段及び整流スイッチ制御手段の各出力を所定電圧にプリチャージするプリチャージ手段とを備え、

前記電荷供給手段は、前記クロック供給手段のクロックの入力により、出力の電位が昇圧される構成であり、前記整流スイッチ制御手段は、前記電荷供給手段の出力により、出力の電位が前記電荷供給手段の出力電位を越える電位に昇圧されて、前記整流スイッチを ON させる構成であることを特徴とする半導体集積回路。

【請求項 12】 第 1 の電源と、

前記第 1 の電源よりも電圧の低い第 2 の電源と、

クロックを供給するクロック供給手段と、

前記第 1 の電源に接続されるプリチャージ手段と、出力に前記プリチャージ手段のプリチャージ電荷が蓄積されると共に、前記クロック供給手段のクロックの入力により前記出力の電位が昇圧される電荷供給手段と、出力に前記プリチャージ手段が接続され、前記電荷供給手段の出力により前記出力の電位が昇圧される整流スイッチ制御手段と、前記第 2 の電源に接続され、前記クロック供給手段のクロックの入力により前記整流スイッチ手段を初期状態にリセットするリセット手段と、前記電荷供給手段の出力に接続され、前記整流スイッチ手段の出力により制御される整流スイッチとを備え、前記整流スイッチの出力は、前記第 1 の電源の電位よりも高い昇圧電位であることを特徴とする半導体集積回路。

【請求項 1 3】 電荷供給手段は、キャパシタと、クロック供給手段のクロックを入力して前記キャパシタを駆動するドライバとを備えることを特徴とする請求項 1 2 記載の半導体集積回路。

【請求項 1 4】 整流スイッチ制御手段は、PチャネルMOSトランジスタと、キャパシタと、ダイオードとを備え、前記PチャネルMOSトランジスタのソース及び基板端子は電荷供給手段に接続され、前記PチャネルMOSトランジスタのドレインは前記キャパシタの第 1 の電極及びリセット手段に接続され、前記PチャネルMOSトランジスタのゲートは、所定の電位に接続され、前記キャパシタの第 2 の電極は整流スイッチに接続され、前記ダイオードの入力は電荷供給手段の出力に接続され、前記ダイオードの出力は前記キャパシタの第 2 の電極に接続されることを特徴とする請求項 1 2 記載の半導体集積回路。

【請求項 1 5】 リセット手段は、ソースが第 2 の電源に接続され、ゲートがクロック供給手段の出力に接続された第 1 のNチャネルMOSトランジスタと、ソースが前記第 1 のNチャネルMOSトランジスタのドレインに接続され、ゲートが第 1 の電源に接続され、ドレインが整流スイッチ制御手段のキャパシタの第 1 の電極に接続された第 2 のNチャネルMOSトランジスタとを備えることを特徴とする請求項 1 4 記載の半導体集積回路。

【請求項 1 6】 ダイオードは、ゲート及びドレインが電荷供給手段の出力に接続され、ソースはキャパシタの第 2 の電極に接続された第 3 のNチャネルMOSトランジスタより成ることを特徴とする請求項 1 5 記載の半導体集積回路。

【請求項 1 7】 プリチャージ手段は、ドレイン及びゲートが第 1 の電源に接続され、ソースが

電荷供給手段の出力に接続された第 4 のNチャネルMOSトランジスタより成ることを特徴とする請求項 1 2 記載の半導体集積回路。

【請求項 1 8】 整流スイッチは、ドレインが電荷供給手段の出力に接続され、ゲートが整流スイッチ手段のキャパシタの第 2 の電極に接続された第 5 のNチャネルMOSトランジスタより成ることを特徴とする請求項 1 4 記載の半導体集積回路。

【請求項 1 9】 請求項 1 2 記載の半導体集積回路を 2 組備えると共に、前記 2 組の半導体集積回路に各々備えるプリチャージ手段のプリチャージ電位を昇圧する昇圧手段を備え、前記 2 組の半導体集積回路に備える各々の整流スイッチの出力同士が接続されることを特徴とする半導体集積回路。

【請求項 2 0】 昇圧手段は、第 6 のNチャネルMOSトランジスタと、第 7 のNチャネルMOSトランジスタとを備え、前記第 6 のNチャネルMOSトランジスタと前記第 7 のNチャネルMOSトランジスタとの両ドレインは、第 1 の電源に接続され、前記第 6 のNチャネルMOSトランジスタのソースは、前記 2 組の半導体集積回路のうち一方の半導体集積回路に備える電荷供給手段の出力に接続され、前記第 7 のNチャネルMOSトランジスタのソースは、前記 2 組の半導体集積回路のうち他方の半導体集積回路に備える電荷供給手段の出力に接続され、前記第 6 のNチャネルMOSトランジスタのゲートは、前記第 2 の半導体集積回路に備える電荷供給手段の出力に接続され、前記第 7 のNチャネルMOSトランジスタのゲートは、前記第 1 の半導体集積回路に備える電荷供給手段の出力に接続されることを特徴とする請求項 1 9 記載の半導体集積回路。

【請求項 2 1】 2 組の半導体集積回路に備えるクロック供給手段は、各々、その出力するクロックが、互いに、前記 2 組の半導体集積回路に各々備える電荷供給手段の出力の電位を同時に昇圧しないように設定されていることを特徴とする請求項 2 0 記載の半導体集積回路。

【請求項 2 2】 2 組の半導体集積回路に備える整流スイッチ制御手段は、各々、更にキャパシタと、第 8 のNチャネルMOSトランジスタとを備え、前記キャパシタは、電荷供給手段とPチャネルMOSトランジスタのソースとの間に配置され、前記第 8 のNチャネルMOSトランジスタは、ドレインが第 1 の電源に接続され、ソースがPチャネルMOSトランジスタのソースに接続され、ゲートが他方の半導体集積回路の電荷供給手段の出力に接続されることを特徴とする請求項 2 0 記載の半導体集積回路。

【請求項23】 所定の電位は、第1の電源の電位であることを特徴とする請求項14記載の半導体集積回路。

【請求項24】 第3～第8のNチャネルMOSトランジスタのしきい値は、第1及び第2のNチャネルMOSトランジスタのしきい値よりも低い値に設定されることを特徴とする請求項16、請求項17、請求項18、請求項20又は請求項22記載の半導体集積回路。

【請求項25】 第1の電源は、外部電源、又は、内部電源発生回路により生成した前記外部電源より高い電位を持つ電源であり、

第2の電源の電位は、接地電位であることを特徴とする請求項12、請求項15、請求項20、請求項22又は請求項23記載の半導体集積回路。

【請求項26】 ソースが第1の電源に接続され、ドレインが抵抗又はトランジスタを介してグラウンドに接続され、ウエル電位がチップ内部で発生する昇圧電源電位であり、ゲート電位が自身のしきい値電圧分だけ前記第1の電源の電位より低い第1のpチャネルトランジスタを備え、

前記第1のpチャネルトランジスタのドレインの電位を昇圧電位検知信号とすることを特徴とする半導体集積回路。

【請求項27】 別途、ソースが第1の電源に接続され、ドレインが抵抗又はトランジスタを介してグラウンドに接続され、ゲートとドレインとを短絡した第2のpチャネルトランジスタを備え、

第1のpチャネルトランジスタのゲートは、前記第2のpチャネルトランジスタのドレインに接続されることを特徴とする請求項26記載の半導体集積回路。

【請求項28】 第1のpチャネルトランジスタに直列に接続されて電源電圧とグラウンド間に配置されたトランジスタは、nチャネルトランジスタであり、前記nチャネルトランジスタのゲート電位は、昇圧電源電位であることを特徴とする請求項26記載の半導体集積回路。

【請求項29】 ソースが第1の電源に接続され、ドレインが抵抗又はトランジスタを介してグラウンドに接続され、ウエル電位がチップ内部で発生する昇圧電源電位である第3のpチャネルトランジスタと、

ソースが第1の電源に接続され、ドレインが抵抗又はトランジスタを介してグラウンドに接続され、ゲートとドレインとを短絡した第4のpチャネルトランジスタと、前記第3のpチャネルトランジスタのドレイン及び前記第4のpチャネルトランジスタのドレインを入力し、出力を昇圧電位検知信号とする電圧比較器とを備えたことを特徴とする半導体集積回路。

【請求項30】 第3のpチャネルトランジスタに直列に接続されて第1の電源電圧とグラウンド間に配置されたトランジスタは、nチャネルトランジスタであり、前記nチャネルトランジスタのゲート電位は、昇圧電

源電位であることを特徴とする請求項29記載の半導体集積回路。

【請求項31】 ソースが第1の電源に接続され、ドレインが抵抗又はトランジスタを介してグラウンドに接続され、ゲート電位がチップ内部で発生する昇圧電源電位である第1のnチャネルトランジスタと、

抵抗又はトランジスタを介してグラウンドに接続した第5のpチャネルトランジスタと、

ソースが第1の電源に接続され、ドレインが抵抗又はトランジスタを介してグラウンドに接続され、ゲートとドレインとを短絡した第6のpチャネルトランジスタとを備え、

前記第1のnチャネルトランジスタのドレインは、前記第5のpチャネルトランジスタのソースに接続され、

前記第5のpチャネルトランジスタのゲートは、前記第6のpチャネルトランジスタのドレインに接続され、

前記第5のpチャネルトランジスタのドレインの電位を昇圧電位検知信号とすることを特徴とする半導体集積回路。

【請求項32】 ソースがグラウンドに接続され、ドレインが抵抗又はトランジスタを介して第1の電源に接続され、ウエル電位がチップ内部で発生する基板電源電位であり、ゲート電位が自身のしきい値近傍の電位である第2のnチャネルトランジスタを備え、

前記第2のnチャネルトランジスタのドレインの電位を基板電位検知信号とすることを特徴とする半導体集積回路。

【請求項33】 別途、ソースがグラウンドに接続され、ドレインが抵抗又はトランジスタを介して第1の電源に接続され、ゲートとソースとが短絡され、ウエル電位が接地電位である第3のnチャネルトランジスタを備え、

前記第2のnチャネルトランジスタのゲートは、前記第3のnチャネルトランジスタのドレインに接続されることを特徴とする請求項32記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はメモリIC等の半導体集積回路において、低消費電力且つ安定に動作する昇圧電源等の電源発生回路に関する。

【0002】

【従来の技術】 近年、携帯機器の普及に伴い、また、省エネルギーという観点から、電池駆動を可能とした低電圧動作、低消費電力のLSIに対する需要が高まってきている。ダイナミックメモリ(DRAM)においては、高速に低電圧動作を実現する技術として常時昇圧方式という技術が開発されている(例えば特開平3-273594号公報参照)。そして、本出願人は、前記常時昇圧方式に

において、待機時の消費電力を低減するため、動作時と待機時とで独立 2 系統の昇圧電源回路を設け、電流供給能力は低い消費電力が少ない昇圧電源回路で待機時の昇圧電源を供給する方式の特願平 5 - 280918 に提案している。

【0003】前記提案のもの、即ち動作時と待機時とで独立 2 系統の昇圧電源回路を設け、電流供給能力は低い消費電力が少ない昇圧電源回路で待機時の昇圧電源を供給する方式について、図面を参照しながら説明する。図 2 は前記提案例の昇圧電源回路の構成を示すものである。図 2 において、401 は動作時用チャージポンプ回路、402 は動作時用チャージポンプ制御回路、403 は待機時用チャージポンプ回路、405 は昇圧電位検知回路、404 は発振回路である。

【0004】動作時において、昇圧電源は、ワード線の昇圧等、ロウアドレスストロブ信号 (RAS) のレベル遷移に同期して消費されるので、動作時用チャージポンプ制御回路 402 は RAS のレベル遷移に応じて動作時用チャージポンプ回路 401 を駆動している。

【0005】待機時 (RAS がハイである期間) の昇圧電源の消費は、リーク成分のみであるから、待機時の昇圧電源供給能力はリーク量を補充する程度でよい。また、昇圧電位が検知レベルを越えてからも、検知時間遅れにより、チャージポンプ回路はむだに動作してしまう。したがって、動作時と待機時で 2 系統のチャージポンプ回路を備え、動作時チャージポンプ回路と比べて待機時チャージポンプ回路の供給能力、すなわち消費電流を低く抑え、待機時は待機時用チャージポンプ回路のみが動く構成とした方が、待機時の低消費電力化には得策である。待機時の昇圧電位を昇圧電位検知回路 405 で検知し、昇圧電位が検知レベル以下になると発振回路 404 が発振して、待機時用チャージポンプ回路 403 を駆動する。

【0006】また、近年の半導体集積回路は、それを搭載する機器の低消費電力化を図るために低電圧の外部単一電源を使用する傾向にあるが、内部回路の一部に於いて、複数の信号電位を必要とする場合が生じる。例えば、ダイナミックランダムアクセスメモリに於いては、メモリセルの容量に蓄積される電位を N チャネル MOS トランジスタを介してビット線に読み出すが、電位低下無しに読み出しを行なうためには、N チャネル MOS トランジスタのゲート容量に蓄積する電位に対して N チャネル MOS トランジスタのしきい値以上高い電位で駆動しなければならない。容量に蓄積される電位は、通常、外部電源電位が使用されるので、N チャネル MOS トランジスタのゲート駆動電位は、電源電位より高い電位に昇圧しなければならず、この高電位を集積回路内部で発生する必要がある。また、半導体集積回路はそれ自身の低消費電力化、高速化の要求が厳しく、動作電流が少なく、且つ高速で動作する昇圧回路が必要とされてい

る。

【0007】以下、図面を参照しながら、上記した従来の昇圧回路、即ち前記図 2 に示す動作時用又は待機時用のチャージポンプ回路の一例について説明する。

【0008】図 14 に従来の昇圧回路の構成の一例を示す。図 15 に、図 14 に示す従来の昇圧回路に於ける動作タイミングチャートを示す。

【0009】図 14 に於いて、各トランジスタは MOS トランジスタであり、200 ~ 202 はそれぞれ異なるクロック $\phi 1 \sim \phi 3$ を供給するクロック供給手段である。203 はクロック供給手段 200 の出力クロック $\phi 1$ を入力しノード a に接続される電荷供給手段であって、昇圧用電荷を蓄積するキャパシタ 210 と、クロック $\phi 1$ を入力して大容量キャパシタ 210 を駆動するドライバ 211 を備える。

【0010】204 は大容量キャパシタ 210 をプリチャージするプリチャージ手段であって、ゲート及びドレインが外部電源もしくは図 14 に示されない内部電源発生回路で生成した電源である VCC 電源に接続され、ソースがノード a に接続される N チャネル MOS トランジスタで構成される。

【0011】205 は整流スイッチであって、ドレインがノード a に接続され、ゲートがノード c に接続され、ソースが昇圧電源 VPP に接続された N チャネル MOS トランジスタで構成される。

【0012】206 は整流スイッチ制御手段であって、ドレインがノード a に接続され、ソースがノード b に接続され、ゲートがノード c に接続された N チャネル MOS トランジスタ 212 と、ノード b とノード c のそれぞれに異なる電極を接続したキャパシタ 213 を備える。

【0013】207 はリセット手段であって、ソースが接地電源に接続され、ゲートがクロック供給手段 202 の出力であるクロック $\phi 3$ を入力する N チャネル MOS トランジスタ 214 と、ソースが N チャネル MOS トランジスタ 214 のドレインに接続され、ゲートが VCC 電源に接続され、ドレインがノード c に接続される N チャネル MOS トランジスタ 215 を備える。

【0014】クロック $\phi 1 \sim \phi 3$ の信号レベルは論理的な High レベルが VCC 電源レベル、論理的な Low レベルが接地電源レベルである。ノード c は後述する様に VCC 電源レベルより高いレベルに昇圧されるため、ノード c が VCC 電源レベルより高いレベルに昇圧された時に、ノード c から VCC 電源への逆流を避けるためクロック供給手段 201 の出力であるクロック $\phi 2$ はハイインピーダンスにする必要がある。

【0015】図 14 に示す従来の昇圧回路は、初期状態で、図 15 の (a) ~ (c) に示す如く、クロック $\phi 1$ 及び $\phi 3$ は VCC レベルであり、クロック $\phi 2$ は接地レベルである。図 15 の (d) に示す如く、ノード a はプリチャージ手段 204 により (VCC - Vtn) レベ

ル。ここで V_{tn} とは N チャンネル MOS トランジスタのしきい値である。図 15 の (e)、(f) に示す如く、ノード b 及びノード c は接地レベルである。

【0016】図 14 に示す従来の昇圧回路が動作すると、先ず、図 15 の (b) に示す如く、クロック ϕ_2 が VCC レベルに遷移すると、図 15 の (f) に示す如く、ノード c が VCC レベルに遷移し、N チャンネル MOS トランジスタ 212 をオンする。これによりプリチャージ手段 204 の VCC 電源から N チャンネル MOS トランジスタ 212 及び N チャンネル MOS トランジスタ 215、214 を通じて接地電源に貫通電流が生じるが、図 15 の (e) に示す如く、ノード b は接地電位に保たれる様に、N チャンネル MOS トランジスタ 212 の駆動能力は十分小さく設定されている。

【0017】続いて、図 15 の (c) に示す如く、クロック ϕ_3 が接地レベルに遷移し、N チャンネル MOS トランジスタ 214 がオフして、図 15 の (e) に示す如く、ノード b はプリチャージ手段 204 により ($VCC - V_{tn}$) レベルに充電される。この際、キャパシタ 213 の両電極間には VCC レベルだけ電位差があり、図 15 の (f) に示す如く、ノード c はキャパシタ 213 により ($2VCC - V_{tn}$) レベルまで昇圧される。同時に、ノード c からクロック供給手段 201 を構成する回路の VCC 電源への電流の逆流を避けるため、図 15 の (b) に示す如く、クロック供給手段 201 の出力である ϕ_2 はハイインピーダンスに設定される。

【0018】続いて、図 15 の (a) に示す如く、クロック ϕ_1 が接地レベルに遷移し、電荷供給手段 203 を構成するドライバ 211 が、キャパシタ 210 のノード a とは反対側の電極を接地レベルから VCC レベルまで昇圧して、図 15 の (d) に示す如く、ノード a は ($VCC - V_{tn}$) レベルから ($2VCC - V_{tn}$) レベルまで昇圧される。これにより、図 15 の (e) に示す如く、ノード b は、N チャンネル MOS トランジスタ 212 を介して、($2VCC - V_{tn}$) レベルまで昇圧され、図 15 の (f) に示す如く、ノード c がキャパシタ 213 により ($3VCC - V_{tn}$) レベルまで昇圧される。この時、ノード c のレベルはノード a の ($2VCC - V_{tn}$) レベルより N チャンネル MOS トランジスタ 205 のしきい値以上高くなり、ノード a に蓄積された電荷は N チャンネル MOS トランジスタ 205 を介して昇圧電源 VPP に供給される。その結果、図 15 の (d)、(e) に示す如く、ノード a 及びノード b のレベルは、昇圧電源 VPP と同レベルとなる。

【0019】次に、前記レベル検知回路 314 の従来における具体的構成の一例を図 22 に示す。

【0020】図 22 において、ソース電位とウエル電位が昇圧電位である p チャンネル トランジスタ 524 は抵抗 527 と直列に接続し昇圧電源とグラウンド間に配置され、ドレインは、しきい値電圧を所望の値に設定したイ

ンバーター 525 を介して内部昇圧電位ジェネレータに接続し、ゲートは、抵抗 526 と直列に接続し電源電圧とグラウンド間に配置した、ゲートとドレインを短絡した p チャンネル トランジスタ 523 のドレインに接続されている。

【0021】以上のように構成された従来の半導体集積回路について、以下、その動作について説明する。

【0022】p チャンネル トランジスタ 523 のしきい値電圧を V_{t1} とすると、p チャンネル トランジスタ 523 のドレイン電位は $VCC - V_{t1}$ となる。p チャンネル トランジスタ 524 のしきい値電圧を V_{t2} とすると、昇圧電位が $VCC - V_{t1} + V_{t2}$ に達した時、トランジスタ 524 はオン状態になりトランジスタ 524 のドレイン電圧は上昇する。しきい値電圧 V_{t1} 、 V_{t2} 及び抵抗 526、527 の抵抗値を調整することにより、p チャンネル トランジスタ 524 のドレイン電位をソース電圧の昇圧電位の変動に連動させることができる。

【0023】昇圧電位が所望の設定値より高くなった時には、p チャンネル トランジスタ 524 のドレイン電位は上昇し、インバータ 514 のしきい値電圧以上になると、内部昇圧電位ジェネレータを停止させ、昇圧電位が所望の電位より高くなることを防止することが可能である。

【0024】同様にして、昇圧電位が低下した場合も、内部昇圧電位ジェネレータを動作させ、昇圧電位が所望の電位より低くなることを防止することが可能である。

【0025】

【発明が解決しようとする課題】ところで、本発明者等は、RAS がロウである期間の昇圧電源リーク電流が、RAS がハイである期間（待機時）の昇圧電源リーク電流よりも増大することを見出した。

【0026】このことを図 6 を用いて説明する。図 6 はワード線ドライバ回路を示したものである。ノード 344 に昇圧電源が印可されている。RAS がハイの場合、ノード 346、347 は GND レベルで N チャンネル トランジスタ 349 がオフ、ノード 348 はハイレベルで N チャンネル トランジスタ 343 がオンで、ワード線 341 は GND レベルに固定されており、昇圧電源のリークパスは存在しないので、問題はない。これに対し、RAS がロウの場合、ロウアドレスに応じて選択されたワード線ドライバ回路では、ノード 348 が GND レベルに遷移して N チャンネル トランジスタ 343 がオフし、ノード 347 が昇圧レベルまで立ち上がり、ノード 345 の電位は昇圧レベルから N チャンネル トランジスタ 344 のしきい値 V_t を引いた値となる。更に、ロウアドレスに対応したワード線ドライバ回路では、ノード 346 に昇圧電源が印可される。ノード 346 と 345 のカップリングによってノード 345 の電位が上昇し、N チャンネル トランジスタ 342 を通じてワード線 341 に

昇圧電源が印可される。ここで、昇圧電源はNチャンネルトランジスタ343を通じてGNDにリークするため、待機時よりも昇圧電源リーク電流が増加する。

【0027】しかしながら、前記提案のような昇圧電源回路の構成では、RASのレベル遷移に応じて動作時電源電圧発生回路が昇圧電源を発生するため、ファーストページモードのようにRASがロウである期間が長い場合には、待機時電源電圧発生回路で昇圧電源を供給しなければならず、従って、RASがロウである期間の、増大した昇圧電源リーク電流を考慮して待機時の昇圧電源供給能力を高く設定しなければならず、その結果、待機時での消費電流が増大してしまうという問題を有していた。

【0028】また、上記の様な構成の半導体集積回路に備えるチャージポンプ回路では、図14に示す如く、異なるクロックを供給するクロック供給手段が3つも必要であり、特に、クロックφ2を供給するクロック供給手段201は、VCCレベル及び、接地レベルの他に、ハイインピーダンス状態を供給する必要がある、複雑な回路構成が必要であるという問題点を有していた。

【0029】更に、ノードcが(3VCC-Vtn)レベルに達するまでに、3段階の昇圧を行なわねばならず、図15に示す期間t1、t2、t3の如く、各々の昇圧が十分に行なわれる様に、昇圧を制御する各々のクロック間のタイミングにマージンをとらなければならない。このため、図15に示す如く、最初に供給されるクロックであるクロックφ2から、ノードcが(3VCC-Vtn)レベルに達し、ノードaに蓄積された電荷がNチャンネルMOSトランジスタ205を介して昇圧電源VPPに供給されるまでに要する期間t4が長く、高周波数動作が困難であるという問題点を有していた。

【0030】加えて、広範囲の電源電圧で動作を行なう場合、例えば、VCC電圧が5.5Vから1.8Vという範囲である場合には、高電圧5.5V時に比べて、低電圧1.8V時ではトランジスタの駆動能力が著しく小さくなる。特に、上述した様に、NチャンネルMOSトランジスタ212の駆動能力は小さく設定されているため、図15に示す如く、ノードaが昇圧されてから、NチャンネルMOSトランジスタ212によってノードbがノードaと同じレベルにイコライズされるのに要する期間t2、t3が低電圧時には非常に長くなり、高周波数動作が困難であり、高周波数動作時には、ノードcの3段階の昇圧時に、ノードbがノードaと同じレベルにイコライズされる前に次の昇圧が始まり、ノードbのレベルが十分上がらず、その結果、ノードcのレベルが十分上がらず、ノードaに蓄積された電荷がNチャンネルMOSトランジスタ205を介して昇圧電源VPPに十分供給されないという問題点を有していた。

【0031】また、回路動作開始時に、図15に示す期間t5の間、NチャンネルMOSトランジスタ212、2

14はオンしており、プリチャージ手段204のVCC電源からNチャンネルMOSトランジスタ212及びNチャンネルMOSトランジスタ215、214を通じて接地電源に貫通電流が生じるという問題点を有していた。

【0032】更に、前記の従来の半導体集積回路に備えるレベル検知回路(昇圧電位検知回路)では、その検知回路自体に、常時、内部昇圧電源からグランドへのリークパスが存在していて、内部発生電源ジェネレーターの動作効率を低下させており、チップ全体の消費電流を増加させている欠点があった。

【0033】即ち、図22において、pチャンネルトランジスタ524のゲート、ソース間電圧は、pチャンネルトランジスタ524のしきい値電圧Vt2近傍の値をとるように設定しているため、pチャンネルトランジスタ524は常に微小な電流を流す状態にあり、pチャンネルトランジスタ524のソース電源である内部昇圧電位ジェネレーターとグランド間にはリーク電流が流れている。すなわち、昇圧電位を検知するために、昇圧電位のレベルが低下し内部昇圧電位ジェネレーターが動作しなければならず、消費電流を増加させるという課題を有していた。

【0034】本発明は前記問題点に鑑み、その目的は、待機時の消費電流を増加させることなく、昇圧電源や降圧電源等を安定供給する電源電圧発生回路を提供する点にある。

【0035】また、本発明の他の目的は、1つのクロック供給手段でもって高電圧に昇圧できると共に、回路動作時の消費電力を低減し、低電源電圧時に於いても効率良く電荷供給を行ない、且つ、高速に動作する昇圧回路を提供することにある。

【0036】更に、本発明の別の目的は、内部発生電源電位ジェネレーターの動作効率を低下させることなく、すなわち、内部発生電源電位の電位変化なしに内部発生電源電位を検知し、チップの消費電流低減が可能な半導体集積回路を提供することにある。

【0037】

【課題を解決するための手段】前記問題点を解決するために、請求項1～請求項10記載の発明の半導体集積回路では、電源電圧発生回路として、動作時や待機時の各電源電圧発生回路とは別途に、RASがロウである期間(広い概念の動作時)のみに昇圧電源等を供給する電源発生回路を設ける構成を採用したり、前記昇圧電源のリーク電流が流れる経路中に存在するNチャンネルトランジスタを、リーク電流を少なく制限できる特性のもので構成することとする。

【0038】また、前記問題点を解決するために、請求項11～請求項25記載の発明の半導体集積回路では、昇圧回路として、前記図14におけるノードa及びcを所定電位(例えばVcc)にプリチャージしておき、この状態で、1個のクロックにより電荷供給手段の出力

(即ち、ノード a) を前記所定電位の 2 倍のレベルに昇圧し、この昇圧した電圧を用いて整流スイッチ制御手段の出力(即ち、前記ノード c) を所定電位の 3 倍の電位に昇圧できる構成を採用することとする。

【0039】更に、前記問題点を解決するために、請求項 26～請求項 31 記載の発明の半導体集積回路では、昇圧電位検知回路として、検知するチップ内部発生電源を、ドレインを検知信号とするトランジスタの基板又はゲートに接続する構成を採用することにより、電流のリークパスを内部昇圧電源以外の電源、即ち外部電源やその電圧を降圧した電源からグラウンドへのパスとして、そのリーク電流を、従来の昇圧電源からグラウンドへリークする電流に比して、小値に制限することとする。

【0040】すなわち、請求項 1 記載の発明の半導体集積回路の構成は、外部から与える電源電圧とは異なる第 1 の電源電圧を動作時に発生する第 1 の電源電圧発生回路と、前記第 1 の電源電圧を検知して前記第 1 の電源電圧が検知レベルよりも低下した際に電圧を発生する第 2 の電源電圧発生回路と、動作時のみに前記第 1 の電源電圧を検知して前記第 1 の電源電圧が検知レベルよりも低下した際に電圧を発生する第 3 の電源電圧発生回路とを備えたことを特徴とする。

【0041】また、請求項 2 記載の発明では、前記請求項 1 記載の半導体集積回路において、第 3 の電源電圧発生回路は、その供給能力が、第 2 の電源電圧発生回路の供給能力よりも高いことを特徴とする。

【0042】更に、請求項 3 記載の発明では、前記請求項 1 記載の半導体集積回路において、第 2 の電源電圧発生回路及び第 3 の電源電圧発生回路は、第 1 の電源電圧を検知する電圧検知部を有し、前記第 3 の電源電圧発生回路の電圧検知部は、前記第 2 の電源電圧発生回路の電圧検知部と共用されることを特徴とする。

【0043】加えて、請求項 4 記載の発明では、前記請求項 1、請求項 2 又は請求項 3 記載の半導体集積回路において、第 3 の電源電圧発生回路は、第 1 の電源電圧発生回路により兼用され、前記第 3 の電源電圧発生回路を兼用する第 1 の電源電圧発生回路は、チャージポンプ回路と、前記チャージポンプ回路を駆動するための駆動信号を発生する第 1 の発振回路とを有し、前記第 1 の発振回路は、入力される制御信号に応じて半導体集積回路の動作時のみに発振する構成であることを特徴とする。

【0044】更に加えて、請求項 5 記載の発明では、前記請求項 1、請求項 2 又は請求項 3 記載の半導体集積回路において、第 3 の電源電圧発生回路は、第 2 の電源電圧発生回路により兼用され、前記第 3 の電源電圧発生回路を兼用する第 2 の電源電圧発生回路は、チャージポンプ回路と、前記チャージポンプ回路を駆動するための駆動信号を発生する第 2 の発振回路とを有し、前記第 2 の発振回路は、入力される制御信号に応じて半導体集積回路の動作時と待機時との間で発振周波数が変更される構

成であることを特徴とする。

【0045】また、請求項 6 記載の発明では、前記請求項 5 記載の半導体集積回路において、第 2 の発振回路は、動作時の発振周波数が待機時の発振周波数よりも高い周波数に変更されることを特徴とする。

【0046】更に、請求項 7 記載の発明では、前記請求項 1、請求項 2 又は請求項 3 記載の半導体集積回路において、第 1 の電源電圧発生回路及び第 3 の電源電圧発生回路は、各々、チャージポンプ回路を有し、前記第 1 の電源電圧発生回路は、ロウアドレスストロブ信号(RAS)に同期して前記チャージポンプ回路を駆動し、前記第 3 の電源電圧発生回路は、コラムアドレスストロブ信号(CAS)に同期してチャージポンプ回路を駆動する構成であることを特徴とする。

【0047】加えて、請求項 8 記載の発明では、前記請求項 1～請求項 7 記載の半導体集積回路において、第 3 の電源電圧発生回路は、第 1 の電源電圧発生回路よりも電流供給能力が低いことを特徴とする。

【0048】更に加えて、請求項 9 記載の発明の半導体集積回路は、動作時に昇圧電源電圧又は昇圧電源から作られる電圧が印可されるワード線と、待機時に前記ワード線を接地電位にする制御トランジスタとを備えた半導体集積回路において、前記制御トランジスタは、そのドレインに前記ワード線が接続されると共に、そのゲート及びソースに接地電位レベル又は電源電圧レベルよりも低い電圧が印可される N チャンネル MOS トランジスタより成り、前記 N チャンネル MOS トランジスタは、そのゲート長が、半導体集積回路に備える他の N チャンネル MOS トランジスタの最小ゲート長よりも長いことを特徴とする。

【0049】また、請求項 10 記載の発明の半導体集積回路は、動作時に昇圧電源電圧又は昇圧電源から作られる電圧が印可されるワード線と、待機時に前記ワード線を接地電位にする制御トランジスタとを備えた半導体集積回路において、前記制御トランジスタは、そのソースに前記ワード線が接続されると共に、そのゲートに昇圧電源電圧又は昇圧電源から作られる電圧が印可され、そのドレインに接地電位レベル又は電源電圧レベルよりも低い電圧が印可される P チャンネル MOS トランジスタより成り、前記 P チャンネル MOS トランジスタは、そのゲート長が、半導体集積回路に備える他の P チャンネル MOS トランジスタの最小ゲート長よりも長いことを特徴とする。

【0050】請求項 11 記載の半導体集積回路の構成は、昇圧端子に接続される整流スイッチと、前記整流スイッチに電荷を供給する電荷供給手段と、前記整流スイッチを制御する整流スイッチ制御手段と、クロックを供給するクロック供給手段と、前記電荷供給手段及び整流スイッチ制御手段の各出力を所定電圧にプリチャージするプリチャージ手段とを備え、前記電荷供給手段は、前

記クロック供給手段のクロックの入力により、出力の電位が昇圧される構成であり、前記整流スイッチ制御手段は、前記電荷供給手段の出力により、出力の電位が前記電荷供給手段の出力電位を越える電位に昇圧されて、前記整流スイッチをONさせる構成であることを特徴とする。

【0051】また、請求項12記載の半導体集積回路の構成は、第1の電源と、前記第1の電源よりも電圧の低い第2の電源と、クロックを供給するクロック供給手段と、前記第1の電源に接続されるプリチャージ手段と、出力に前記プリチャージ手段のプリチャージ電荷が蓄積されると共に、前記クロック供給手段のクロックの入力により前記出力の電位が昇圧される電荷供給手段と、出力に前記プリチャージ手段が接続され、前記電荷供給手段の出力により前記出力の電位が昇圧される整流スイッチ制御手段と、前記第2の電源に接続され、前記クロック供給手段のクロックの入力により前記整流スイッチ手段を初期状態にリセットするリセット手段と、前記電荷供給手段の出力に接続され、前記整流スイッチ手段の出力により制御される整流スイッチとを備え、前記整流スイッチの出力は、前記第1の電源の電位よりも高い昇圧電位であることを特徴とする。

【0052】更に、請求項13記載の発明は、前記請求項12記載の半導体集積回路において、電荷供給手段は、キャパシタと、クロック供給手段のクロックを入力して前記キャパシタを駆動するドライバとを備えることを特徴とする。

【0053】加えて、請求項14記載の発明は、前記請求項12記載の半導体集積回路において、整流スイッチ制御手段は、PチャネルMOSトランジスタと、キャパシタと、ダイオードとを備え、前記PチャネルMOSトランジスタのソース及び基板端子は電荷供給手段に接続され、前記PチャネルMOSトランジスタのドレインは前記キャパシタの第1の電極及びリセット手段に接続され、前記PチャネルMOSトランジスタのゲートは、所定の電位に接続され、前記キャパシタの第2の電極は整流スイッチに接続され、前記ダイオードの入力は電荷供給手段の出力に接続され、前記ダイオードの出力は前記キャパシタの第2の電極に接続されることを特徴とする。

【0054】更に加えて、請求項15記載の発明は、前記請求項14記載の半導体集積回路において、リセット手段は、ソースが第2の電源に接続され、ゲートがクロック供給手段の出力に接続された第1のNチャネルMOSトランジスタと、ソースが前記第1のNチャネルMOSトランジスタのドレインに接続され、ゲートが第1の電源に接続され、ドレインが整流スイッチ制御手段のキャパシタの第1の電極に接続された第2のNチャネルMOSトランジスタとを備えることを特徴とする。

【0055】請求項16記載の発明は、前記請求項15

記載の半導体集積回路において、ダイオードは、ゲート及びドレインが電荷供給手段の出力に接続され、ソースはキャパシタの第2の電極に接続された第3のNチャネルMOSトランジスタより成ることを特徴とする。

【0056】また、請求項17記載の発明は、前記請求項12記載の半導体集積回路において、プリチャージ手段は、ドレイン及びゲートが第1の電源に接続され、ソースが電荷供給手段の出力に接続された第4のNチャネルMOSトランジスタより成ることを特徴とする。

【0057】更に、請求項18記載の発明は、前記請求項14記載の半導体集積回路において、整流スイッチは、ドレインが電荷供給手段の出力に接続され、ゲートが整流スイッチ手段のキャパシタの第2の電極に接続された第5のNチャネルMOSトランジスタより成ることを特徴とする。

【0058】加えて、請求項19記載の半導体集積回路は、前記請求項12記載の半導体集積回路を2組備えると共に、前記2組の半導体集積回路に各々備えるプリチャージ手段のプリチャージ電位を昇圧する昇圧手段を備え、前記2組の半導体集積回路に備える各々の整流スイッチの出力同士が接続されることを特徴とする。

【0059】更に加えて、請求項20記載の発明は、前記請求項19記載の半導体集積回路において、昇圧手段を特定し、その昇圧手段は、第6のNチャネルMOSトランジスタと、第7のNチャネルMOSトランジスタとを備え、前記第6のNチャネルMOSトランジスタと前記第7のNチャネルMOSトランジスタとの両ドレインは、第1の電源に接続され、前記第6のNチャネルMOSトランジスタのソースは、前記2組の半導体集積回路のうち一方の半導体集積回路に備える電荷供給手段の出力に接続され、前記第7のNチャネルMOSトランジスタのソースは、前記2組の半導体集積回路のうち他方の半導体集積回路に備える電荷供給手段の出力に接続され、前記第6のNチャネルMOSトランジスタのゲートは、前記第2の半導体集積回路に備える電荷供給手段の出力に接続され、前記第7のNチャネルMOSトランジスタのゲートは、前記第1の半導体集積回路に備える電荷供給手段の出力に接続されることを特徴とする。

【0060】請求項21記載の発明は、前記請求項20記載の半導体集積回路において、2組の昇圧回路に備えるクロック供給手段は、各々、その出力するクロックが、互いに、前記2組の半導体集積回路に各々備える電荷供給手段の出力の電位を同時に昇圧しないように設定されていることを特徴とする。

【0061】請求項22記載の発明は、前記請求項20記載の半導体集積回路において、2組の半導体集積回路に備える整流スイッチ制御手段は、各々、更にキャパシタと、第8のNチャネルMOSトランジスタとを備え、前記キャパシタは、電荷供給手段とPチャネルMOSトランジスタのソースとの間に配置され、前記第8のNチ

チャンネルMOSトランジスタは、ドレインが第1の電源に接続され、ソースがPチャンネルMOSトランジスタのソースに接続され、ゲートが他方の半導体集積回路の電荷供給手段の出力に接続されることを特徴とする。

【0062】また、請求項23記載の発明は、前記請求項14記載の半導体集積回路において、所定の電位は、第1の電源の電位であることを特徴とする。

【0063】更に、請求項24記載の発明は、前記請求項16、請求項17、請求項18、請求項20又は請求項22記載の半導体集積回路において、第3～第8のNチャンネルMOSトランジスタのしきい値は、第1及び第2のNチャンネルMOSトランジスタのしきい値よりも低い値に設定されることを特徴とする。

【0064】加えて、請求項25記載の発明は、前記請求項12、請求項15、請求項20、請求項22又は請求項23記載の半導体集積回路において、第1の電源は、外部電源、又は、内部電源発生回路により生成した前記外部電源より高い電位を持つ電源であり、第2の電源の電位は、接地電位であることを特徴とする。

【0065】また、請求項26記載の発明の半導体集積回路の昇圧電位検知回路は、ソースが第1の電源に接続され、ドレインが抵抗又はトランジスタを介してグラウンドに接続され、ウエル電位がチップ内部で発生する昇圧電源電位であり、ゲート電位が自身のしきい値電圧分だけ前記第1の電源の電位より低い第1のpチャンネルトランジスタを備え、前記第1のpチャンネルトランジスタのドレインの電位を昇圧電位検知信号とすることを特徴とする。

【0066】更に、請求項27記載の発明では、前記請求項26記載の半導体集積回路において、別途、ソースが第1の電源に接続され、ドレインが抵抗又はトランジスタを介してグラウンドに接続され、ゲートとドレインとを短絡した第2のpチャンネルトランジスタを備え、第1のpチャンネルトランジスタのゲートは、前記第2のpチャンネルトランジスタのドレインに接続されることを特徴とする。

【0067】加えて、請求項28記載の発明では、前記請求項26記載の半導体集積回路において、第1のpチャンネルトランジスタに直列に接続されて電源電圧とグラウンド間に配置されたトランジスタはnチャンネルトランジスタであり、前記nチャンネルトランジスタのゲート電位は、昇圧電源電位であることを特徴とする。

【0068】更に加えて、請求項29記載の発明の半導体集積回路では、ソースが第1の電源に接続され、ドレインが抵抗又はトランジスタを介してグラウンドに接続され、ウエル電位がチップ内部で発生する昇圧電源電位である第3のpチャンネルトランジスタと、ソースが第1の電源に接続され、ドレインが抵抗又はトランジスタを介してグラウンドに接続され、ゲートとドレインとを短絡した第4のpチャンネルトランジスタと、前記第3のp

チャンネルトランジスタのドレイン及び前記第4のpチャンネルトランジスタのドレインを入力し、出力を昇圧電位検知信号とする電圧比較器とを備えたことを特徴とする。

【0069】また、請求項30記載の発明では、前記請求項29記載の半導体集積回路において、第3のpチャンネルトランジスタに直列に接続されて第1の電源電圧とグラウンド間に配置されたトランジスタは、nチャンネルトランジスタであり、前記nチャンネルトランジスタのゲート電位は、昇圧電源電位であることを特徴とする。

【0070】更に、請求項31記載の発明の半導体集積回路では、ソースが第1の電源に接続され、ドレインが抵抗又はトランジスタを介してグラウンドに接続され、ゲート電位がチップ内部で発生する昇圧電源電位である第1のnチャンネルトランジスタと、抵抗又はトランジスタを介してグラウンドに接続した第5のpチャンネルトランジスタと、ソースが第1の電源に接続され、ドレインが抵抗又はトランジスタを介してグラウンドに接続され、ゲートとドレインとを短絡した第6のpチャンネルトランジスタとを備え、前記第1のnチャンネルトランジスタのドレインは、前記第5のpチャンネルトランジスタのソースに接続され、前記第5のpチャンネルトランジスタのゲートは、前記第6のpチャンネルトランジスタのドレインに接続され、前記第5のpチャンネルトランジスタのドレインの電位を昇圧電位検知信号とすることを特徴とする。

【0071】加えて、請求項32記載の発明の半導体集積回路では、前記ソースがグラウンドに接続され、ドレインが抵抗又はトランジスタを介して第1の電源に接続され、ウエル電位がチップ内部で発生する基板電源電位であり、ゲート電位が自身のしきい値近傍の電位である第2のnチャンネルトランジスタを備え、前記第2のnチャンネルトランジスタのドレインの電位を基板電位検知信号とすることを特徴とする。

【0072】更に加えて、請求項33記載の発明では、前記請求項32記載の半導体集積回路において、別途、ソースがグラウンドに接続され、ドレインが抵抗又はトランジスタを介して第1の電源に接続され、ゲートとソースとが短絡され、ウエル電位が接地電位である第3のnチャンネルトランジスタを備え、前記第2のnチャンネルトランジスタのゲートは、前記第3のnチャンネルトランジスタのドレインに接続されることを特徴とする。

【0073】

【作用】前記の構成により、請求項1～請求項3及び請求項8記載の発明では、待機時（RASがハイレベルの時）と動作時（RASがロウレベルの時）とで第1及び第3の別々の電源電圧発生回路から昇圧電源が発生するので、第2の（待機時用の）電源電圧発生回路の昇圧電源供給能力は、待機時に必要最小限な供給量でよく、動

作時に昇圧電源リークが増大することを考慮する必要がない。

【0074】特に、請求項3記載の発明では、電圧検知部を共用するので、その分、回路構成が簡易になる。

【0075】また、請求項4記載の発明では、第1の（動作時用の）電源電圧発生回路は動作周期に同期して昇圧電源を発生するだけでなく、内部に発振回路を内蔵して、動作周期が長い場合はその発振回路によってチャージポンプ回路を駆動して、昇圧電源を発生するので、動作時の昇圧電源リークは第1の電源電圧発生回路で補償でき、第2の（待機時用の）電源電圧発生回路の昇圧電源供給能力は、待機時に必要最小限な供給量でよい。

【0076】更に、請求項5及び請求項6記載の発明では、待機時（RASがハイレベルの期間）と動作時（RASがロウレベルの期間）とで、第2の（待機時用の）電源電圧発生回路の電源電流供給能力を個別に設定できるので、動作時の昇圧電源リークに対応して、RASがロウレベルの時の第2の電源電圧発生回路の電流供給能力だけを高めることができる。

【0077】加えて、請求項7記載の発明では、DRAMにおけるファーストページモードにおいては、コラムアドレスストロブ（CAS）によっても第1の（動作時用の）電源電圧発生回路が駆動され、昇圧電源リークが増大する期間は第1の（動作時用の）電源電圧発生回路で昇圧電源を供給できる。したがって、第2の（待機時用の）電源電圧発生回路の昇圧電源供給能力は、待機時に必要最小限な供給量でよい。

【0078】また、請求項9記及び請求項10記載の発明では、動作時にワード線からトランジスタを通じて電流がリークする場合でも、そのトランジスタのゲート長が他のトランジスタよりも長く設定されていて、そのトランジスタを通じるリーク電流量が少なく制限されるので、半導体集積回路全体の動作にはほとんど影響を与えずに、昇圧電源リーク電流のみを削減できる。

【0079】また、請求項11～請求項18、請求項23及び請求項25記載の発明では、予め、電荷供給手段の出力及び整流スイッチ制御手段の出力がプリチャージ手段により所定電圧にプリチャージされる。

【0080】その後、クロック供給手段からクロックが前記電荷供給手段に供給されると、電荷供給手段の出力が前記所定電圧の所定倍のレベルに昇圧され、これに続いて、整流スイッチ制御手段の出力が前記昇圧された電荷供給手段の出力により更に所定電圧の所定倍のレベルに昇圧されて、この昇圧された電圧により整流スイッチがON動作する。従って、1つのクロック制御手段のみによって昇圧回路を構成することができる。

【0081】また、請求項19～請求項22記載の発明では、第1のクロックと第2のクロックからは互いに論理的なLowレベルがオーバーラップしないクロックが供

給される。論理的なLowレベルは第2の電源レベルであり、論理的なHighレベルは第1の電源レベルである。

【0082】第1のクロックが第1の電源レベルから、第2の電源レベルに移移すると、2組の昇圧回路の内、第1の昇圧回路に備わる第1のNチャネルMOSトランジスタがオフし、第1の昇圧回路に備わる第1の電荷供給手段に備わるドライバが、第1の電荷供給手段に備わる第1のキャパシタの第1の電極を第2の電源レベルから第1の電源レベルに移移させる。

【0083】これにより、予め、第6のNチャネルMOSトランジスタによって第1の電源レベルにプリチャージされていた第1の電荷供給手段の出力が第1の電源レベルの2倍のレベルに昇圧され、また、予め、第8のNチャネルMOSトランジスタによって第1の電源レベルにプリチャージされていた第1の昇圧回路の第1の整流スイッチ制御手段に備わる第3のキャパシタの第2の電極も第1の電源レベルの2倍のレベルに昇圧される。

【0084】これにより、第1の昇圧回路の第1の整流スイッチ制御手段に備わるPチャネルMOSトランジスタがオンし、第1の昇圧回路の第1の整流スイッチ制御手段に備わる第2のキャパシタの第1の電極が、第2の電源レベルから第1の電源レベルの2倍のレベルに移移する。

【0085】これにより、予め、第1の昇圧回路の第1の整流スイッチ制御手段に備わるダイオードによって第1の電源レベルよりNチャネルMOSトランジスタのしきい値だけ低いレベルにプリチャージされていた第1の昇圧回路の第1の整流スイッチ制御手段に備わる第2のキャパシタの第2の電極が、第1の電源レベルの3倍のレベルよりNチャネルMOSトランジスタのしきい値だけ低いレベルに昇圧される。

【0086】これにより、第1の昇圧回路に備わる整流スイッチがオンし、第1の電源レベルの2倍のレベルに昇圧された第1の電荷供給手段の出力が、第1の昇圧回路に備わる第1の整流スイッチを通じて昇圧電源に出力される。

【0087】ここで、特に請求項24記載の発明では、第3から第8のNチャネルMOSトランジスタのしきい値が、他の第1及び第2のNチャネルMOSトランジスタのしきい値よりも低く製造されるので、第1の電源レベルの3倍のレベルよりNチャネルMOSトランジスタのしきい値だけ低いレベルに昇圧される第1の昇圧回路に備わる第1の整流スイッチのゲートレベルをより高いレベルにすることが可能であると共に、第1の整流スイッチの出力レベルをより高いレベルにすることが可能である。

【0088】以上の動作の間、第2のクロックは第1の電源レベルを保ち、第2の昇圧回路に備わる第2の電荷供給手段の出力は、第7のNチャネルMOSトランジス

タによって第1の電源レベルにプリチャージされ、第2の昇圧回路に備わる第2の整流スイッチのゲートは、第2の昇圧回路の第2の整流スイッチ制御手段に備わるダイオードによって第1の電源レベルよりNチャンネルMOSトランジスタのしきい値だけ低いレベルにプリチャージされ、第2の整流スイッチはオフしている。

【0089】第2のクロックが第1の電源レベルから、第2の電源レベルに遷移する時も以上と同様である。よって、プリチャージ手段によりプリチャージされた電位を更に高く昇圧して、昇圧効率を高めることができる。

【0090】ここで、特に、請求項22記載の発明では、別途付加したキャパシタ及び第8のNチャンネルMOSトランジスタにより、電荷供給手段の出力側と整流スイッチ制御手段の出力側とを別系統にできるので、整流スイッチがON動作しても、整流スイッチ制御手段の出力側の昇圧電位が電荷供給手段の出力側の電位により低下することが確実に防止され、昇圧電源への電荷供給を効率良く行うことが可能である。

【0091】また、請求項26～請求項31記載の発明では、チップ内部発生した昇圧電源と他電源との間にリークパスを作ることなく、内部発生昇圧電源の電位の検知を可能にするので、リーク電流が従来に比して少なく制限され、よってチップ内部発生電源ジェネレータの動作効率を高めながら内部発生昇圧電源の電位を所望の設定電圧範囲内に制御することが可能である。

【0092】特に、請求項28及び請求項30記載の発明では、昇圧電位検知信号となるpチャンネルトランジスタのドレインの電位が、昇圧電源の電位の変化に敏感に反応するので、内部発生昇圧電源の電位の検知感度が高くなる。

【0093】

【実施例】以下、実施例により本発明を具体的に説明する。

【0094】（第1の実施例）図1は本発明の第1の実施例における電源電圧発生回路の構成を示すものである。

【0095】図1（b）に示すように、昇圧電源消費電流（IPP）は、ロウアドレスストローブ信号（以下、RASという）がハイからロウへ遷移することによって開始されるワード線の充電と、RASがロウからハイへ遷移することによって開始されるレベルシフトのリセット等で主に消費される。このように、IPPはRASの周期TRCに同期している。

【0096】0.5nmルールで設計した16Mbit DRAMにおけるRASの状態に関するIPPを図1（c）に示す。RASの周期TRCが150nsの場合は、VCC=3.3VでIPP=10mAを消費する。RASがロウレベルの期間はIPP=50uA、RASがハイレベルの期間はIPP=2uA程度の電流を消費する。

【0097】そこで、IPPを最も消費するRASのレベル遷移時に同期して、昇圧電源電圧を供給するための電源電圧発生回路と、RASがロウの期間のみ動作する電源電圧発生回路と、RASがハイの期間のみ動作する電源電圧発生回路との3系統の電源電圧発生回路で昇圧電源回路を構成すれば、大気時（RASがハイレベルの期間）の昇圧電源リーク電流に対して最小限の供給能力を有する昇圧電源発生回路、すなわち、待機時の電流消費量が最小の昇圧電源発生回路が実現できる。この昇圧電源発生回路を図1（a）示す。

【0098】図1（a）において、301は動作時用電源電圧発生回路（第1の電源電圧発生回路）、302は補助電源電圧発生回路（第3の電源電圧発生回路）、303は待機時用電源電圧発生回路（第3の電源電圧発生回路）、304はレベル検知回路（電圧検知部）、305は発振回路である。前記レベル検知回路304及び発振回路305は、補助及び待機時用の各電源電圧発生回路302、303で共用される。

【0099】以上のように構成された電源電圧発生回路について、その動作を説明する。動作時用電源電圧発生回路301はロウアドレスストローブ信号（RAS）によって制御されており、RASのレベル遷移に応じて動作時用電源電圧発生回路301内部のチャージポンプ回路が昇圧電源を発生する。RASのレベル遷移がない期間は、動作時用電源電圧発生回路301は昇圧電源を供給しない。

【0100】レベル検知回路304は昇圧電源電位に応じて信号を発生し、この信号が発生している期間、発振回路305が発振信号を出力して、待機時用電源電圧発生回路303と補助電源電圧発生回路302を駆動する。昇圧電源電位が検知回路304の検知レベルよりも下がると、RASのレベルに関係なく、待機時用電源電圧発生回路303は発振回路305によって駆動される。補助電源電圧発生回路302は、昇圧電源電位が検知回路304の検知レベルよりも下がっていても、RASがハイレベルの場合には駆動されず、RASがロウレベルの場合のみ駆動される。

【0101】このように、RASがハイレベルの期間は、待機時用電源電圧発生回路303のみで昇圧電源を供給し、RASがロウレベルの期間の昇圧電源リーク電流に対しては、待機時用電源電圧発生回路303と補助電源電圧発生回路302の両方で昇圧電源を供給する。すなわち、待機時用電源電圧発生回路303に関しては、RASがロウレベルの期間の昇圧電源リーク電流を考慮する必要がなく、RASがハイレベルの期間の昇圧電源リーク電流に対して、昇圧電源電位を保持する必要最小限の電流供給能力を持たせればよい。したがって、RASがロウレベルの期間の昇圧電源リークの増大を補償しても、待機時（RASがハイレベルの期間）における、昇圧電位発生に係る消費電流を増加させることはな

い。

【0102】尚、待機時用電源電圧発生回路と補助電源電圧発生回路は、それぞれ独立にレベル検知回路、発振回路で制御してもよい。また、待機時用電源電圧発生回路303はRASがハイレベルの期間のみ昇圧電源を発生する構成としてもよい。

【0103】（第2の実施例）図3（a）は本発明の第2の実施例を示す。同図の電源電圧発生回路は、動作時用電源電圧発生回路により補助電源電圧発生回路を兼用したものである。図3（a）において、311はチャージポンプ回路、312は発振回路（第1の発振回路）、313は遅延回路である。図3（b）は、遅延回路313で生じる遅延時間よりも制御信号のパルス幅が短い場合の電位変化、図3（c）は、遅延回路313で生じる遅延時間よりも制御信号のパルス幅が長い場合の電位変化を示している。

【0104】図3（a）のレベル検知信号がハイレベルの場合における、電源電圧発生回路の動作について図3（b）、（c）を用いて説明する。制御信号がロウである場合は、ノード314はハイ、ノード315はロウ、ノード316はハイである。制御信号がロウからハイに遷移すると、ただちにノード314はロウに遷移する。ノード314の電位変化から遅延回路313で生ずる遅延時間だけ遅れて、ノード315はロウからハイに遷移する。ここまでは、制御信号の長短にかかわらず各ノードの電位変化は同じである。

【0105】図3（b）に示すように、遅延回路313の遅延時間よりも早く制御信号が再びハイからロウに遷移すると、ノード316はハイのまま変化せず、ノード314はハイに遷移し、発振回路312は制御信号に同期したパルスを1回だけ発生する。

【0106】図3（c）に示すように、制御信号がハイのままであれば、ノード315がロウからハイへ遷移することによりノード316はハイからロウに遷移し、続いてノード314がハイに遷移する。制御信号がハイを保ち続けると、ノード315には遅延回路313で生じた遅延時間を持って、ノード314と反転したレベル遷移が現れ、続いてノード316のレベルが反転し、さらにノード314のレベルも反転する。このように、制御信号がハイの期間は、発振回路312は遅延回路313で生じる遅延時間を半周期として発振する。

【0107】レベル検知信号がロウの場合は、ノード316がハイに固定されるので、制御信号に同期した信号を発振回路312は出力する。

【0108】制御信号にロウアドレスストローブ（RAS）に同期した信号を用いれば、RASがハイからロウに遷移する時に、発振回路312がチャージポンプ回路311を駆動して電源電圧を発生する。さらに、レベル検知信号がハイであり、RASがロウレベルである期間が発振周期よりも長い場合は、RASがハイからロウに

遷移する時と、RASがハイからロウに遷移する時から発振周期毎に発振回路312がチャージポンプ回路311を駆動して電源電圧を発生する。

【0109】したがって、図3（a）に示す電源電圧発生回路を動作時の昇圧電源発生回路として用いれば、RASがロウレベルの期間の昇圧電源リークも補償できる。待機時の昇圧電源発生回路は、待機時の昇圧電源リークを補償する必要最小限の電流供給能力でよいので、待機時の消費電流を増大させることなくRASがロウレベルの期間の昇圧電源リークも補償できる。

【0110】（第3の実施例）図4は本発明の第3の実施例を示す。同図の電源電圧発生回路は、待機時用電源電圧発生回路により補助電源電圧発生回路を兼用したものである。図4において、320はチャージポンプ回路、321は発振回路（第2の発振回路）、324、328はPチャンネルMOSトランジスタ、325、329はNチャンネルMOSトランジスタ、326、327は抵抗である。

【0111】図4に示す電源電圧発生回路の動作を説明する。レベル検知信号がハイである期間、発振回路321が発振信号を出力し、チャージポンプ回路320を駆動して電源電圧を発生する。発振回路321の発振周期は遅延回路322の信号遅延によって作られる。この際、制御信号がハイであれば、PチャンネルMOSトランジスタ324とNチャンネルMOSトランジスタ325はオフしており、遅延回路322で生じる信号遅延は、抵抗326の抵抗値とPチャンネルMOSトランジスタ328のオン抵抗をたした値、又は、抵抗327の抵抗値とNチャンネルMOSトランジスタ329のオン抵抗をたした値と、ノード333の容量を掛けた時定数でできる。制御信号がロウであれば、PチャンネルMOSトランジスタ324とNチャンネルMOSトランジスタ325はオンし、遅延回路322の時定数は、抵抗326の抵抗値とPチャンネルMOSトランジスタ324のオン抵抗を並列に合成した値に、PチャンネルMOSトランジスタ328のオン抵抗をたした値にノード333の容量を掛け合わせた値、又は、抵抗327の抵抗値とNチャンネルMOSトランジスタ325のオン抵抗を並列に合成した値に、NチャンネルMOSトランジスタ329のオン抵抗をたした値と、ノード333の容量を掛け合わせた値になる。

【0112】したがって、抵抗326、327の抵抗値と、PチャンネルMOSトランジスタ324のオン抵抗、NチャンネルMOSトランジスタ325のオン抵抗を適当に選べば、制御信号のハイ、ロウに応じて、発振回路321の発振周波数を設定できる。制御信号としてRASに同期した信号を選べば、RASがハイの期間よりもRASがロウの期間に発振回路321の発振周波数は高くなる。発振回路321の発振周波数が高くなればチャージポンプ回路320で発生する電流が増加する。

RASがロウの期間の昇圧電源リークを補償するように、RASがロウの期間の発振回路321の発振周期を高くし、RASがハイの期間の昇圧電源リークを補償する必要最小限の電流が供給できるように、RASがハイの期間の発振回路321の発振周期を設定すれば、RASがハイの期間の消費電流を増やすことなく、RASがロウの期間の昇圧電源リークを補償できる。

【0113】（第4の実施例）図5は本発明の第4の実施例における電源電圧発生回路の構成を示すものである。図5において、340は動作時電源電圧発生回路、341は補助電源電圧発生回路、342は待機時電源電圧発生回路、343はレベル検知回路、344は発振回路である。

【0114】以上のように構成された電源電圧発生回路について、その動作を説明する。動作時電源電圧発生回路340はロウアドレスストローブ信号（RAS）によって制御されており、RASのレベル遷移に応じて動作時電源電圧発生回路340内部のチャージポンプ回路が昇圧電源を発生する。RASのレベル遷移がない期間は、動作時電源電圧発生回路340は昇圧電源を供給しない。

【0115】レベル検知回路343は昇圧電源電位に応じて信号を発生し、この信号が発生している期間、発振回路344が発振信号を出力して、待機時電源電圧発生回路342を駆動する。昇圧電源電位が検知回路343の検知レベルよりも下がると、RASのレベルに関係なく、待機時電源電圧発生回路342は発振回路344によって駆動される。

【0116】補助電源電圧発生回路341は、動作時電源電圧発生回路340と同様の構成であるが、制御信号として、RASではなくコラムアドレスストローブ信号（CAS）を使用する。CASのレベル遷移に応じて補助電源電圧発生回路341内部のチャージポンプ回路が駆動されて昇圧電源を発生するが、CASのレベル遷移がない場合は昇圧電源を供給しない。

【0117】DRAMのファーストページモードでは、ロウアドレスを一定にしてコラムアドレスだけを変化させる期間が存在し、RASがロウに保持されている期間にCASがハイ、ロウの遷移を繰り返す。図5に示した構成の電源電圧発生回路を用いれば、ファーストページモードでは、補助電源電圧発生回路341によって、CASの周期に同期して昇圧電源を発生できるので、RASがロウの期間の昇圧電源リークを補助電源電圧発生回路341で補償できる。ファーストページモード以外では、RASがロウである期間の昇圧電源リークによって昇圧電源レベルが下がらない程度に、RASがロウである期間を短く規定すれば、待機時電源電圧発生回路342の電流供給能力は、RASがハイの期間の昇圧電源リークを補償する必要最小限でよく、待機時の消費電流は増加しない。

【0118】尚、以上の説明では、昇圧回路を例に上げて説明したが、本発明は、その他、降圧回路にも同様に適用できるのは勿論である。

【0119】（第5の実施例）図6は本発明の第5の実施例を示す。図6はワード線ドライバ回路を示している。図中341はワード線、342、349はNチャンネルMOSトランジスタ、343はNチャンネルMOSトランジスタ（制御トランジスタ）、344は昇圧電源であり、ノード344には昇圧電源が印可されている。

【0120】RASがハイの場合、ノード346、347はGNDレベルでNチャンネルMOSトランジスタ349がオフ、ノード348はハイレベルでNチャンネルMOSトランジスタ343がオンであり、ワード線341はGNDレベルに固定されており、昇圧電源のリークパスは存在しない。

【0121】RASがロウの場合、ロウアドレスに応じて選択されたワード線ドライバ回路では、ノード348がGNDレベルに遷移してNチャンネルMOSトランジスタ343がオフし、ノード347が昇圧レベルまで立ち上がり、ノード345の電位は昇圧レベルからNチャンネルMOSトランジスタ344のしきい値 V_t を引いた値となる。ノード346に昇圧電源が印可され、ノード346とノード345のカップリングによってノード345の電位が上昇し、NチャンネルMOSトランジスタ342を通じてワード線341に昇圧電源が印可される。NチャンネルMOSトランジスタ343のソース・ドレイン間に昇圧電圧がかかり、昇圧電源のリークパスとなる。

【0122】選択されなかったワード線ドライバ回路では、ノード347はGNDレベルでNチャンネルMOSトランジスタ349がオフ、ノード348はハイレベルでNチャンネルMOSトランジスタ343がオンのままであるが、ロウアドレスに応じてノード346に昇圧電源が印可される場合もある。この場合、NチャンネルMOSトランジスタ342のソース・ドレイン間に昇圧電圧がかかり、昇圧電源のリークパスとなる。

【0123】図7はNチャンネルMOSトランジスタにおける、ゲート長に対する単位ゲート幅当りのオフリーク電流を示すグラフである。NチャンネルMOSトランジスタのゲートは、加工精度のばらつきによって、10%程度小さくなることもある。例えば、設計時のゲート長を0.5 μm とすると、仕上がり寸法のばらつきによってNチャンネルMOSトランジスタのオフリーク電流は2桁ほど増大してしまう。

【0124】昇圧電源は電源を安定させるために大きな容量を有しており、一旦レベルがさがってしまうと所定昇圧電位まで容易には回復せず、動作不良を引き起こす。このように、昇圧電源リークは消費電流を増加させるのみならず動作不良も引き起こすので、昇圧電源レベルが下がらないように昇圧電源リークを補償しなければ

ならない。

【0125】図6におけるNチャンネルMOSトランジスタ342、343は、レイアウト面積を最小にして動作速度を速くするため一般に、デバイスで利用できる最小のゲート長（いわゆる最小ルール）で構成されている。NチャンネルMOSトランジスタ342、343のゲート長、ゲート幅をそれぞれ0.5 μm 、10 μm と設計する。加工ばらつきを10%と見積ればワード線ドライバ回路1組あたりの昇圧電源リーク電流は、0.1 nA程度から1 μA 程度までの幅を持つと予想される。

【0126】上述のように、0.5 μm 程度のゲート長では、加工ばらつき10%当り2桁ほどのNチャンネルMOSトランジスタのオフリーク電流の増大があるので、昇圧電源供給能力は、予想される昇圧電源オフリーク電流より1桁以上高いことを要求される。そこで、ワード線の立ち上げ立ち下げ速度は若干犠牲にして、NチャンネルMOSトランジスタ342、343のゲート長を0.55 μm で設計すると、ワードドライバ回路1組あたりの昇圧電源リーク電流は1 nA以下と予想される。このように、動作時のみ昇圧電源のリークパスとなるMOSトランジスタ343のゲート長をその他のMOSトランジスタの最小ゲート長より大きく設計し、リーク電流が無視できるレベルまで小さくなれば、動作時の昇圧電源リークを考慮せずに待機時電源電圧発生回路を設計できる。

【0127】尚、本実施例では、制御トランジスタをNチャンネルMOSトランジスタ343で構成したが、PチャンネルMOSトランジスタで構成してもよいのは勿論である。

【0128】次に、本発明の実施例の半導体集積回路（昇圧回路）について、図面を参照しながら、説明する。

【0129】（第6の実施例）図8に本発明の第6の実施例に於ける昇圧回路の回路構成の一例を示し、図9に、図8に示す本発明の第6の実施例の昇圧回路の動作タイミングチャートを示す。

【0130】図8に於いて、各トランジスタは半導体MOSトランジスタで構成される。V_{pp}は昇圧電源（昇圧端子）、100はクロック ϕ 1を供給するクロック供給手段、101はクロック供給手段100の出力クロック ϕ 1を入力しノードaに接続される電荷供給手段であって、昇圧用電荷を蓄積する大容量のキャパシタ106と、クロック ϕ 1を入力して前記キャパシタ106を駆動するドライバ107を備える。

【0131】102は大容量キャパシタ106をプリチャージするプリチャージ手段であって、ゲート及びドレインが外部電源もしくは図8に示されない内部電源発生回路で生成した電源であるVCC電源に接続され、ソースがノードaに接続されるNチャンネルMOSトランジスタ（第4のトランジスタ）で構成される。

【0132】103は整流スイッチであって、ドレインがノードaに接続され、ゲートがノードcに接続され、ソースが昇圧電源VPPに接続されたNチャンネルMOSトランジスタ（第5のトランジスタ）で構成される。

【0133】104は整流スイッチ制御手段であって、ソース及びウェル電位がノードaに接続され、ドレインがノードbに接続され、ゲートがVCC電源に接続されたPチャンネルMOSトランジスタ108と、ノードbとノードcのそれぞれに異なる電極を接続したキャパシタ109と、ソースがノードcに接続され、ゲート及びドレインがノードaに接続されたNチャンネルMOSトランジスタ110（第3のトランジスタ）を備える。

【0134】105はリセット手段であって、ソースが接地電源に接続され、ゲートがクロック供給手段100の出力であるクロック ϕ 1を入力するNチャンネルMOSトランジスタ112（第1のトランジスタ）と、ソースがNチャンネルMOSトランジスタ112のドレインに接続され、ゲートがVCC電源に接続され、ドレインがノードbに接続されるNチャンネルMOSトランジスタ111（第2のトランジスタ）を備える。

【0135】クロック ϕ 1の信号レベルは論理的なHighレベルがVCC電源レベル、論理的なLowレベルが接地電源レベルである。

【0136】以上の様に構成された本発明の第6の実施例の昇圧回路に於いて、以下、その動作を、図9を参照して説明する。

【0137】図8に示す本実施例の昇圧回路は、初期状態で、図9の（a）に示す如く、クロック ϕ 1はVCCレベルである。図9の（b）に示す如く、ノードaはプリチャージ手段102により（VCC-V_{tn}）レベル。図9の（c）、（d）に示す如く、ノードbは接地レベル、ノードcは（VCC-2V_{tn}）レベル。

【0138】先ず、図9の（a）に示す如く、クロック ϕ 1がVCCレベルに遷移すると、NチャンネルMOSトランジスタ112がオフし、電荷供給手段101を構成するドライバ107が、キャパシタ106のノードaとは反対側の電極を接地レベルからVCCレベルまで昇圧して、図9の（b）に示す如く、ノードaは（VCC-V_{tn}）レベルから（2VCC-V_{tn}）レベルまで昇圧される。ノードaの電位が（VCC+V_{tp}）レベル以上になると、PチャンネルMOSトランジスタ108がオンし、図9の（c）に示す如く、ノードbの電位は接地レベルから（VCC-V_{tn}）レベルまで昇圧される。ここでV_{tp}とは、PチャンネルMOSトランジスタのしきい値である。この際、キャパシタ109の両電極間には（VCC-2V_{tn}）レベルだけ電位差があるので、図9の（d）に示す如く、ノードcはキャパシタ109により（3VCC-3V_{tn}）レベルまで昇圧される。この時、ノードcのレベルは、ノードaの（2VCC-V_{tn}）レベルよりNチャンネルMOSトランジスタ

103のしきい値以上高くなり、ノードaに蓄積された電荷はNチャネルMOSトランジスタ103を介して昇圧電源VPPに供給される。その結果、図9の(b)、(c)に示す如く、ノードa及びノードbのレベルは、昇圧電源VPPと同レベルとなる。

【0139】以上の様に、本発明の第6の実施例によれば、単一のクロック供給手段100のみでノードa及びノードcを昇圧することが可能であり、従来回路に必要であった複雑なクロック供給回路が不要である。

【0140】また、クロックφ1を供給してから、ノードa、ノードb及び、ノードcの昇圧がスタティックに行なわれ、特に、ノードb、ノードcが一度に(2VCC-Vtn)レベル分だけ昇圧されるので、従来回路の様に数段階の昇圧過程を経ず、複数クロック間のタイミングマージンが不要であるので、図9のt5に示す如く、クロックを供給してからノードcが(3VCC-3Vtn)レベルまで昇圧される時間が短いため、高周波の動作が可能である。

【0141】更に、従来回路の動作開始時に生じていた貫通電流がなく、消費電力を低減することが可能である。

【0142】(第7の実施例)次に、図10に本発明の第7の実施例に於ける昇圧回路の回路構成の一例を示し、図11に、図10に示す本発明の第7の実施例の昇圧回路の動作タイミングチャートを示す。

【0143】図10に於いて、120は互いに論理的なLowレベルがオーバーラップしない相補的なクロックφ1、φ1を供給するクロック供給手段である。121、122はそれぞれ、図8に示す本発明の第6の実施例に於ける昇圧回路の内、電荷供給手段101、プリチャージ手段102、整流スイッチ制御手段104、及び、リセット手段105と同じ回路を含む回路部分であり、それぞれ、クロック供給手段120の出力であるクロックφ1、φ1を入力する。123、124はそれぞれ、図8に示す本発明の第6の実施例に於ける昇圧回路の整流スイッチ103と同じNチャネルMOSトランジスタであり、互いのソースは昇圧電源VPPに接続されている。

【0144】そして、125、126は、各々、ソースが回路部分121、122のそれぞれの電荷供給手段の出力であるノードd、ノードgに接続され、ドレインがVCC電源に接続され、一方のゲートが他方のソースに接続されたNチャネルMOSトランジスタ(第6及び第7のトランジスタ)である。

【0145】以上の様に構成された本発明の第7の実施例の昇圧回路に於いて、以下、その動作を、図11を参照して説明する。

【0146】回路部分121、122は、それぞれ、図8に示す本発明の第6の実施例の回路と同様に動作する。図11の(a)、(b)に示す如く、クロックφ

1、φ1は互いに論理的なLowレベルがオーバーラップしないので、整流スイッチであるNチャネルMOSトランジスタ123、124は同時にオンすることではなく、交互にオン、オフし、回路部分121、122それぞれが有する電荷供給手段の出力電荷を交互に昇圧電源VPPに供給する。

【0147】クロックφ1、φ1が動作しない初期状態では、ノードd、ノードfはそれぞれ、回路部分121、122が有するプリチャージ手段であるNチャネルMOSトランジスタ127、128によって(VCC-Vtn)レベルにプリチャージされるが、クロックφ1、φ1が動作すると、ノードdが昇圧されている期間はNチャネルMOSトランジスタ126のゲート電位がVCC電源電位よりNチャネルMOSトランジスタのしきい値以上高くなり、ノードfはNチャネルMOSトランジスタ126によって、図11(e)に示す如く、VCC電源電位にプリチャージされ、ノードgは図11

(f)に示す如く、(VCC-Vtn)レベルにプリチャージされる。同様に、ノードfが昇圧されている期間はNチャネルMOSトランジスタ125のゲート電位がVCC電源電位よりNチャネルMOSトランジスタのしきい値以上高くなり、ノードdはNチャネルMOSトランジスタ125によって、図11(c)に示す如く、VCC電源電位にプリチャージされ、ノードeは図11(d)に示す如く、(VCC-Vtn)レベルにプリチャージされる。

【0148】図8に示す本発明の第6の実施例では、ノードaはVCC電源電位よりNチャネルMOSトランジスタのしきい値だけ低いレベルにしかプリチャージされず、また、ノードcはVCC電源電位よりNチャネルMOSトランジスタのしきい値の2倍だけ低いレベルにしかプリチャージされないが、図10に示す本発明の第7の実施例の回路構成をとることによって、図8に示す本発明の第6の実施例のノードaに相当するノードd、ノードfは、図11(c)、(e)に示す如く、VCC電源電位にプリチャージされる。即ち、図8に示す本発明の第6の実施例よりNチャネルMOSトランジスタのしきい値分だけ高いレベルにプリチャージでき、最終的に、図11(c)、(e)に示す如く、2VCCレベルに昇圧できる。また、図8に示す本発明の第6の実施例のノードcに相当するノードe、ノードgも、図8に示す本発明の第6の実施例よりNチャネルMOSトランジスタのしきい値分だけ高いレベルにプリチャージでき、最終的に、図11(d)、(f)に示す如く、3VCCよりNチャネルMOSトランジスタのしきい値分だけ低いレベルに昇圧できる。

【0149】(第8の実施例)次に、図12に本発明の第8の実施例に於ける昇圧回路の回路構成の一例を示し、図13に、図12に示す本発明の第8の実施例の昇圧回路の動作タイミングチャートを示す。

【0150】図12に示す本発明の第8の実施例は、図10に示す本発明の第7の実施例の昇圧回路に昇圧用キャパシタ140、141及び、NチャネルMOSトランジスタ（第8のトランジスタ）150、151を付加した回路構成となっている。

【0151】図12に示す本発明の第8の実施例の昇圧回路に於いて、以下、その動作を、図13を参照して説明する。

【0152】図13に示す如く、本発明の第8の実施例は、図11に示す本発明の第7の実施例の昇圧回路の動作タイミングチャートと同様に動作するが、異なる点は、図11(c)、(e)に示す本発明の第7の実施例の昇圧回路のノードd、ノードfのレベルは2VCCに昇圧された後、整流スイッチであるNチャネルMOSトランジスタ123、124がオンすると、昇圧電源VPレベルと同一レベルに低下し、これに追従して、図10(d)、(f)に示す如く、ノードe、ノードgが(3VCC-V_{tn})レベルから、(VPP+VCC-V_{tn})レベルまで低下するのに対し、本発明の第8の実施例に於ける昇圧回路では、図13(c)、(e)に示す如く、レベル低下が起こるノードh、ノードjと整流スイッチ148、149のゲートを昇圧するノードi、ノードkの昇圧パスを別系統にすることにより、図13(d)、(f)に示す如く、ノードi、ノードkが(3VCC-V_{tn})レベルに昇圧された後のレベル低下が生じない。

【0153】即ち、図10に示す本発明の第7の実施例に比べて、整流スイッチ148、149のゲートレベルをドレインであるノードh、ノードiのレベルに対してより高く保つことが可能で、昇圧電源VPPへの電荷供給を効率よく行なうことができる。

【0154】尚、本発明の第6、第7及び第8の実施例に於いて、プリチャージ用NチャネルMOSトランジスタ102、110、125~130、142~147、150、151及び、整流スイッチ用NチャネルMOSトランジスタ103、123、124、148、149のしきい値を、他の通常プロセスのNチャネルMOSトランジスタのしきい値より低いしきい値に設定して製造することにより、ノードa、b、c、e、g、d、f、i、kの昇圧時のしきい値に起因するレベル低下を少なくすることが可能で、整流スイッチの出力をより高いレベルにすることが可能である。

【0155】また、本発明の各実施例のNチャネルMOSトランジスタとPチャネルMOSトランジスタ、及び、VCC電源と接地電源を置き換えて、降圧回路を構成することも可能である。

【0156】（第9の実施例）図16は本発明の第9の実施例における半導体集積回路の構成を示す。

【0157】図16において、チップ内部発生昇圧電源にウエルが接続されているpチャネルトランジスタ

（第1のpチャネルトランジスタ）501は、抵抗504と直列に接続され、外部電源（昇圧電源の出力電位よりも低い出力電位を有する第1の電源）とグランドとの間に配置されている。pチャネルトランジスタ501のドレインは、しきい値を所望の値に設定したインバーター502を介して内部昇圧電源ジェネレーターに接続され、pチャネルトランジスタ501のゲートは、抵抗503と直列に接続し電源電圧とグランド間に配置した、ゲートとドレインを短絡したpチャネルトランジスタ（第2のpチャネルトランジスタ）500のドレインに接続されている。

【0158】以上のように構成された半導体集積回路について、内部発生昇圧電源電位の検知動作について説明する。

【0159】図16において内部昇圧電位が変動した時、ウエルを内部昇圧電位に接続したpチャネルトランジスタ501のドレインの電位は内部昇圧電位の変動に連動して変化する。図23にpチャネルトランジスタのしきい値電圧の基板電位依存性を示す。基板電位が上昇すると、しきい値電圧も大きくなる。昇圧電位が上昇した時は、pチャネルトランジスタ501のしきい値電圧の上昇によりpチャネルトランジスタ501のドレインの電位は低下し、一方、昇圧電位が低下した時は、pチャネルトランジスタ501のドレインの電位は上昇する。この時、シミュレーション等により内部昇圧電源電位が所望の電圧範囲に納まるようにインバーター502のしきい値の設定を行うことによりpチャネルトランジスタ501のドレインの電位変化から、昇圧電位が所望の電圧範囲より上昇した時には内部昇圧電源ジェネレーターを停止させ、昇圧電位が所望の電圧範囲より低下した時には内部昇圧電源ジェネレーターを動作させることが、内部昇圧電源と他電源間にリークパスを作らずに可能である。つまり、内部昇圧電源の動作効率を低下させることなく、昇圧電位を検知することが可能になる。

【0160】（第9の実施例の変形例）前記の構成において、図17に示すように、pチャネルトランジスタ501に直列に接続された抵抗504をゲートを、昇圧電源に接続したnチャネルトランジスタで構成することにより、昇圧電位の検知感度を向上させることができる。

【0161】図17において、昇圧電位が上昇した時、ウエル電位が上昇したpチャネルトランジスタ501は、そのしきい値電圧が上昇し、pチャネルトランジスタ501のオン抵抗は増大する。さらに、nチャネルトランジスタ504のオン抵抗がゲート電圧の上昇により減少し、この相乗効果によりpチャネルトランジスタ501のドレインの電位はいっそう敏感に昇圧電源の上昇に反応し低下する。

【0162】尚、トランジスタ501のゲート長を大き

く、ウエルの不純物濃度を濃くすることにより、ウエル電位の変動、言い替えれば内部昇圧電位の変動により敏感な検知回路を構成することができる。

【0163】（第10の実施例）図18は本発明の第10の実施例における半導体集積回路の構成を示す。

【0164】図18において、抵抗508と直列に接続され電源電圧とグランド間に配置されたpチャンネルトランジスタ（第3のpチャンネルトランジスタ）506は、そのウエルがチップ内部発生昇圧電源に接続され、ゲートとドレインを短絡し、ドレインが電位比較器509に接続されている。電位比較器509は、出力がインバータ510を介して内部昇圧電源ジェネレーターに接続され、更に入力として、抵抗507と直列に接続し電源電圧とグランド間に配置された、ゲートとドレインを短絡したpチャンネルトランジスタ（第4のpチャンネルトランジスタ）505のドレインと接続されている。

【0165】以上のように構成された半導体集積回路について、内部発生昇圧電源電位の検知動作について説明する。

【0166】図18において内部昇圧電位が変動した時、ウエルを内部昇圧電位に接続したpチャンネルトランジスタ506のドレインの電位は内部昇圧電位の変動に連動して変化する。図23にpチャンネルトランジスタのしきい値電圧の基板電位依存性を示す。基板電位が上昇すると、しきい値電圧も大きくなる。昇圧電位が上昇した時は、ウエル電位が上昇したpチャンネルトランジスタ506のしきい値電圧は上昇して、pチャンネルトランジスタ506のドレインの電位は低下し、一方、昇圧電位が低下した時は、ウエル電位が低下したpチャンネルトランジスタ506のしきい値電圧は低下し、pチャンネルトランジスタ506のドレインの電位は上昇する。

【0167】昇圧電位検知回路を昇圧電源電位の上昇防止のために用いる時は、昇圧電位がある上限の電位に上昇した時、pチャンネルトランジスタ506のドレインの電位が、pチャンネルトランジスタ505のドレインの電位より低くなるようにpチャンネルトランジスタ505、506のしきい値、及び、抵抗507、508の抵抗値を設定することにより、電圧比較器509で両pチャンネルトランジスタのドレインの電位を比較後、内部昇圧電源ジェネレーターを停止させることが、内部昇圧電源と他電源間にリークパスを作ることなく可能になる。

【0168】同様に、検知回路を昇圧電源電位の低下防止に用いる時にも、内部昇圧電源と他電源間にリークパスを作ることなく昇圧電位を検知することが可能になる。つまり、内部昇圧電源の動作効率を低下させることなく、昇圧電位を検知することが可能になる。

【0169】前記の構成において、pチャンネルトランジスタ506に直列に接続された抵抗508を、ゲート

を昇圧電源に接続したnチャンネルトランジスタで構成することにより、昇圧電位の検知感度を向上させることができる。

【0170】（第10の実施例の変形例）前記の構成において、図19に示すようにpチャンネルトランジスタ506に直列に接続された抵抗成分508をゲートを昇圧電源に接続したnチャンネルトランジスタで構成することにより、昇圧電位の検知感度を向上させることができる。

【0171】図19において昇圧電位が上昇した時、ウエル電位が上昇したpチャンネルトランジスタ506は、そのしきい値電圧が上昇し、pチャンネルトランジスタ506のオン抵抗は増大する。さらに、nチャンネルトランジスタ508のオン抵抗がゲート電圧の上昇により減少し、この相乗効果によりpチャンネルトランジスタ506のドレインの電位はいっそう敏感に昇圧電源の上昇に反応し低下する。

【0172】尚、トランジスタ506のゲート長を大きく、ウエルの不純物濃度を濃くすることにより、ウエル電位の変動、言い替えれば内部昇圧電位の変動により敏感な検知回路を構成することができる。

【0173】（第11の実施例）図20は本発明の第11の実施例における半導体集積回路の構成を示すものである。

【0174】図20において、抵抗515と直列に接続し電源電圧とグランド間に配置され、チップ内部発生昇圧電源にゲートが接続されているnチャンネルトランジスタ（第1のnチャンネルトランジスタ）511のソースは、抵抗517を介してグランドに接続されたpチャンネルトランジスタ（第5のpチャンネルトランジスタ）513のソースに接続されている。pチャンネルトランジスタ513のゲートは、抵抗516と直列に接続し電源電圧とグランド間に配置されたゲートとドレインを短絡したpチャンネルトランジスタ（第6のpチャンネルトランジスタ）512のドレインに接続され、pチャンネルトランジスタ513のドレインは、しきい値を所望の値に設定したインバータ514を介して内部昇圧電源ジェネレーターに接続されている。

【0175】以上のように構成された半導体集積回路について、内部発生昇圧電源電位の検知動作について説明する。

【0176】図20において、内部昇圧電位が変動した時、ゲートを内部昇圧電位に接続したnチャンネルトランジスタ511のソース電位は内部昇圧電位の変動に連動して変化する。即ち、昇圧電位が上昇した時は、nチャンネルトランジスタ511のソース電位は上昇し、pチャンネルトランジスタ513のソース電位も上昇する。一方、昇圧電位が低下した時は、nチャンネルトランジスタ511のソース電位は低下し、pチャンネルトランジスタ513のソース電位は低下する。この時、シ

ミュレーション等により内部昇圧電源電位が所望の電圧範囲に納まるようにインバーター 514 のしきい値の設定を行うことにより p チャンネルトランジスタ 511 のソース電位変化から、昇圧電位が所望の電圧範囲より上昇した時には内部昇圧電源ジェネレーターを停止させ、昇圧電位が所望の電圧範囲より低下した時には内部昇圧電源ジェネレーターを動作させることが、内部昇圧電源と他電源間にリークパスを作らずに可能である。つまり、内部昇圧電源の動作効率を低下させることなく、昇圧電位を検知することが可能になる。

【0177】(第12の実施例)図21は本発明の第12の実施例における半導体集積回路の構成を示す。

【0178】図21において、チップ内部発生基板電源にウエルが接続されている n チャンネルトランジスタ (第2の n チャンネルトランジスタ) 519 は、抵抗 522 と直列に接続し電源電圧とグランド間に配置されている。n チャンネルトランジスタ 519 のドレインはしきい値を所望の値に設定したインバーター 520 を介して内部基板電源ジェネレーターに接続され、n チャンネルトランジスタ 519 のゲートは、抵抗 521 と直列に接続し電源電圧とグランド間に配置した、ゲートとドレインを短絡した、ウエル電位が接地電位である n チャンネルトランジスタ (第3の n チャンネルトランジスタ) 518 のドレインに接続されている。ここで、n チャンネルトランジスタ 518、519 のウエル電位が異なっているが、図25に示す様に、トリプルウエル構造を採用することにより異なる電位に設定することが可能である。

【0179】以上のように構成された半導体集積回路について、内部発生基板電源電位の検知動作について説明する。

【0180】図21において、内部基板電位が変動した時、ウエルを内部基板電位に接続した n チャンネルトランジスタ 519 のドレインの電位は内部昇圧基板電位の変動に連動して変化する。図24に n チャンネルトランジスタのしきい値電圧の基板電位依存性を示す。基板電位が上昇すると、しきい値電圧は小さくなる。従って、基板電位が上昇した時は、ウエル電位が上昇した n チャンネルトランジスタ 519 のしきい値電位は低下し、n チャンネルトランジスタ 519 のドレインの電位は低下し、一方、基板電位が低下した時は、ウエル電位が低下した n チャンネルトランジスタ 519 のしきい値電圧は上昇し、n チャンネルトランジスタ 519 のドレインの電位は上昇する。この時、シミュレーション等により内部基板電源電位が所望の電圧範囲に納まるようにインバーター 520 のしきい値の設定を行うことにより n チャンネルトランジスタ 519 のドレインの電位変化から、基板電位が所望の電圧範囲より上昇した時には内部基板電源ジェネレーターを動作させ、基板電位が所望の電圧範囲より低下した時には内部基板電源ジェネレーターを

停止させることが、内部基板電源と他電源間にリークパスを作らずに可能である。つまり、内部基板電源の動作効率を低下させることなく、基板電位を検知することが可能になる。

【0181】尚、トランジスタ 519 のゲート長を大きく、ウエルの不純物濃度を濃くすることにより、ウエル電位の変動、言い替えば内部昇圧電位の変動により敏感な検知回路を構成することができる。

【0182】以上の説明において、図16の抵抗 503、図18の抵抗 507、図20の抵抗 515~517、及び図21の抵抗 521、522 は、何れもトランジスタにより構成してもよい。

【0183】

【発明の効果】以上説明したように、請求項1~請求項3及び請求項8記載の発明によれば、待機時(RASがハイレベルの時)と動作時(RASがロウレベルの時)とで別々の電源電圧発生回路から昇圧電源を発生させたので、待機時用電源電圧発生回路の昇圧電源供給能力を待機時に必要最小限な供給量でよいようにしつつ、動作時の昇圧電源電圧を一定に保持できる。

【0184】特に、請求項3記載の発明によれば、電圧検知部を共用して、回路構成を簡易にできる。

【0185】また、請求項4記載の発明によれば、動作時の昇圧電源リークを動作時用電源電圧発生回路で兼用して補償する構成としたので、待機時用の電源電圧発生回路の昇圧電源供給能力は待機時に必要最小限な供給量で済む。

【0186】更に、請求項5及び請求項6記載の発明によれば、待機時(RASがハイレベルの期間)と動作時(RASがロウレベルの期間)とで、待機時用電源電圧発生回路の電源電流供給能力を個別に変更設定したので、動作時の昇圧電源リークに対応して、待機時用電源電圧発生回路の動作時における電流供給能力だけを高めることができる。

【0187】加えて、請求項7記載の発明によれば、DRAMにおけるファーストページモードにおいては、コラムアドレスストロブ(CAS)によっても動作時用電源電圧発生回路を駆動して、昇圧電源リークが増大する期間は動作時用電源電圧発生回路で昇圧電源を供給したので、待機時用電源電圧発生回路の昇圧電源供給能力は、待機時に必要最小限な供給量で済む。

【0188】また、請求項9記及び請求項10記載の発明によれば、動作時にワード線から電流がリークする系路に存在するトランジスタのゲート長を他のトランジスタよりも長く設定したので、リーク電流量を少なく制限でき、半導体集積回路全体の動作にはほとんど影響を与えずに、昇圧電源リーク電流のみを削減できる。

【0189】請求項11~請求項18、請求項23及び請求項25記載の昇圧回路によれば、電荷供給ノードと、整流スイッチのゲートに接続されたノードとを、異

なるキャパシタで昇圧するので、1つのクロック供給回路のみでもって、効率良く電荷供給ノードの電荷を昇圧電源に供給することが可能である。また、PチャネルMOSトランジスタを用いたCMOS型の簡易な整流スイッチ制御手段を備えて、電荷供給ノード及び、整流スイッチのゲートに接続されたノードの昇圧が高速に行なわれるので、高周波の昇圧動作が可能である。

【0190】更に、請求項19～請求項22記載の発明によれば、プリチャージ手段によりプリチャージされた電位を更に高く昇圧するので、昇圧効率を高めることが

【0191】ここで、特に、請求項22記載の発明によれば、電荷供給手段の出力側と整流スイッチ制御手段の出力側とを別系統にしたので、整流スイッチがON動作に伴い整流スイッチ制御手段の出力側の昇圧電位が電荷供給手段の出力側の電位により低下することを確実に防止できて、昇圧電源への電荷供給を効率良く行うことが可能である。

【0192】また、特に、請求項24記載の発明では、プリチャージ用及び、整流スイッチ用のNチャネルMOSトランジスタのしきい値を他のNチャネルMOSトランジスタのしきい値より小さく製造されるので、各昇圧ノードのしきい値に起因するレベル低下を少なくすることが可能であり、その実用的効果は大きい。

【0193】更に、請求項26～請求項31記載の発明によれば、ドレインが検知信号となるトランジスタの基板又はゲートにチップ内部発生昇圧電源を接続して、チップ内部発生昇圧電源と他電源間にリークパスを作ることなく内部発生昇圧電源の電位の検知を可能にしたので、内部リーク電流を少なく制限して、チップ内部発生昇圧電源ジェネレータの動作効率を低下させることなく内部発生昇圧電源の電位を所望の設定電圧範囲内に制御することができる。

【0194】特に、請求項28及び請求項30記載の発明では、内部発生昇圧電源の電位の検知感度を高めることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例における電源電圧発生回路の構成図である。

【図2】従来の電源電圧発生回路の構成図である。

【図3】本発明の第2の実施例における電源電圧発生回路の回路図と内部電位のタイミングチャートである。

【図4】本発明の第3の実施例における電源電圧発生回路の回路図である。

【図5】本発明の第4の実施例における電源電圧発生回路の構成図である。

【図6】本発明の第5の実施例を説明するための回路図である。

【図7】本発明の第5の実施例を説明するためのNチャネルMOSトランジスタのオフリーク特性である。

【図8】本発明の第6の実施例に於ける昇圧回路の回路構成図である。

【図9】同第6の実施例の動作タイミングチャートである。

【図10】本発明の第7の実施例に於ける昇圧回路の回路構成図である。

【図11】同第7の実施例の動作タイミングチャートである。

【図12】本発明の第8の実施例に於ける昇圧回路の回路構成図である。

【図13】同第8の実施例の動作タイミングチャート図である。

【図14】従来の昇圧回路の回路構成図である。

【図15】同従来例の動作タイミングチャートである。

【図16】本発明の第9の実施例における昇圧電位検知回路の構成を示す図である。

【図17】本発明の第9の実施例の変形例における昇圧電位検知回路の構成を示す図である。

【図18】本発明の第10の実施例における昇圧電位検知回路の構成を示す図である。

【図19】本発明の第10の実施例の変形例における昇圧電位検知回路の構成を示す図である。

【図20】本発明の第11の実施例における昇圧電位検知回路の構成を示す図である。

【図21】本発明の第12の実施例における基板電位検知回路の構成を示す図である。

【図22】従来例における昇圧電位検知回路の構成を示す図である。

【図23】pチャネルトランジスタしきい値の基板電位依存性を示す図である。

【図24】nチャネルトランジスタしきい値の基板電位依存性を示す図である。

【図25】トリプルウェルの電位を示す図である。

【符号の説明】

301、340 動作時電源電圧発生回路（第1の電源電圧発生回路）

302、341 補助電源電圧発生回路（第2の電源電圧発生回路）

303、342 待機時電源電圧発生回路（第2の電源電圧発生回路）

304、343 レベル検知回路（電圧検知部）

312 発振回路（第1の発振回路）

321 発振回路（第2の発振回路）

311、320 チャージポンプ回路

313、322 遅延回路

343 NチャネルMOSトランジスタ（制御トランジスタ）

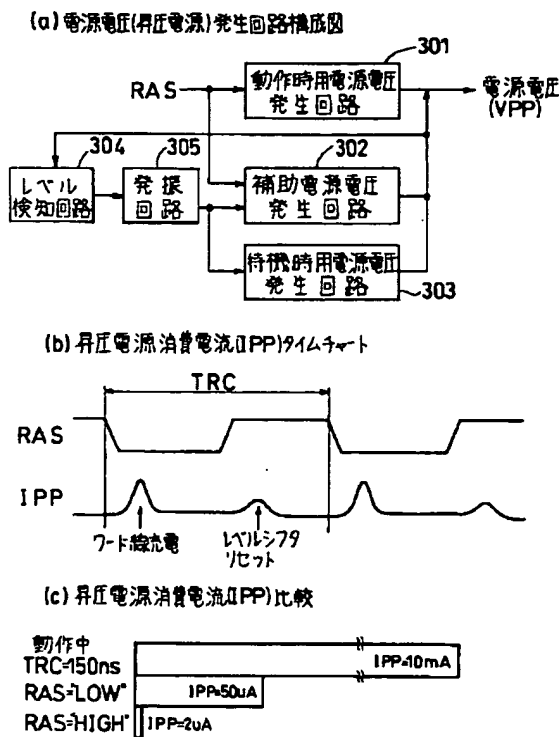
101 電荷供給手段

102 プリチャージ手段

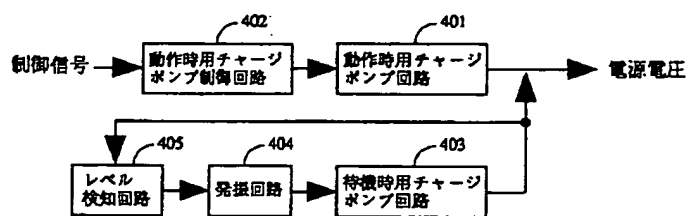
103 整流スイッチ

- 104 整流スイッチ制御手段
 105 リセット手段
 106、109 キャパシタ
 108 PチャンネルMOSトランジスタ
 500 pチャンネルトランジスタ (第2の
 pチャンネルトランジスタ)
 501 pチャンネルトランジスタ (第1の
 pチャンネルトランジスタ)
 505 pチャンネルトランジスタ (第4の
 pチャンネルトランジスタ)
 506 pチャンネルトランジスタ (第3の

【図1】

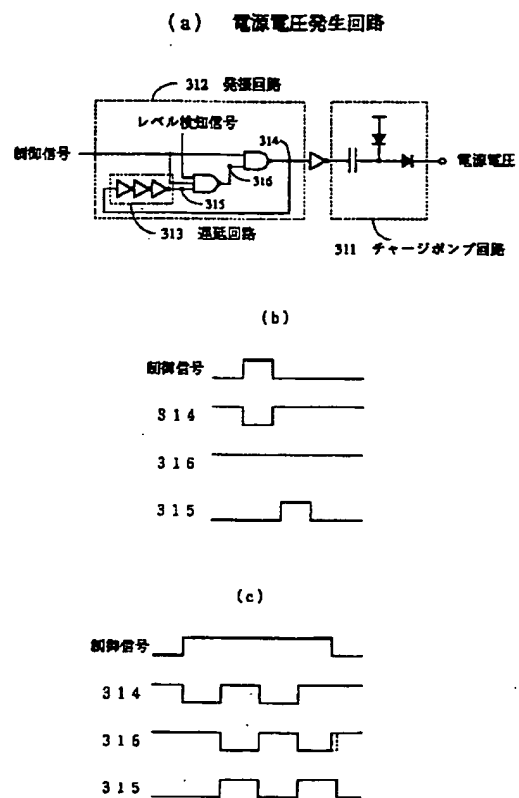


【図2】

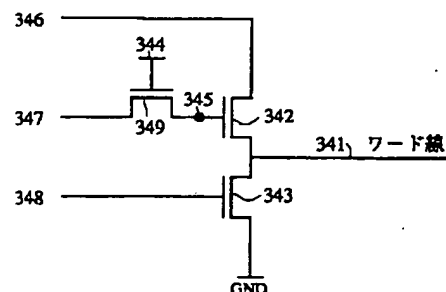


- pチャンネルトランジスタ)
 509 電位比較器 (比較器)
 511 nチャンネルトランジスタ (第1の
 nチャンネルトランジスタ)
 512 pチャンネルトランジスタ (第6の
 pチャンネルトランジスタ)
 513 pチャンネルトランジスタ (第5の
 pチャンネルトランジスタ)
 518 nチャンネルトランジスタ (第3の
 nチャンネルトランジスタ)
 519 nチャンネルトランジスタ (第2の
 nチャンネルトランジスタ)

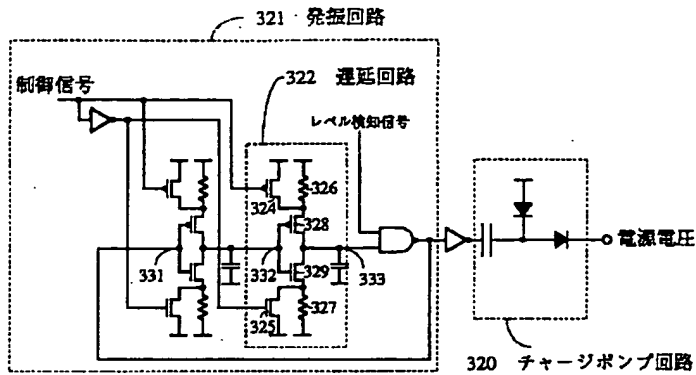
【図3】



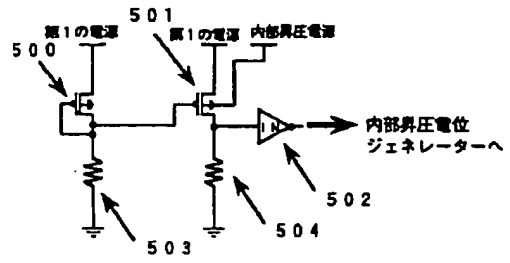
【図6】



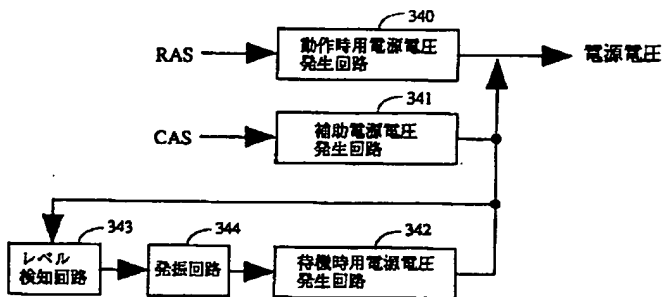
【図 4】



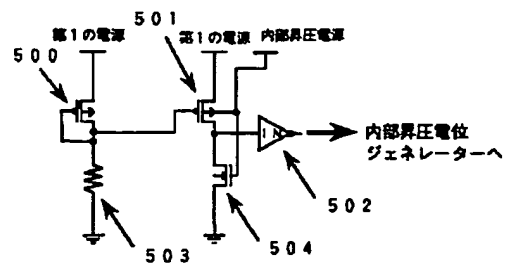
【図 16】



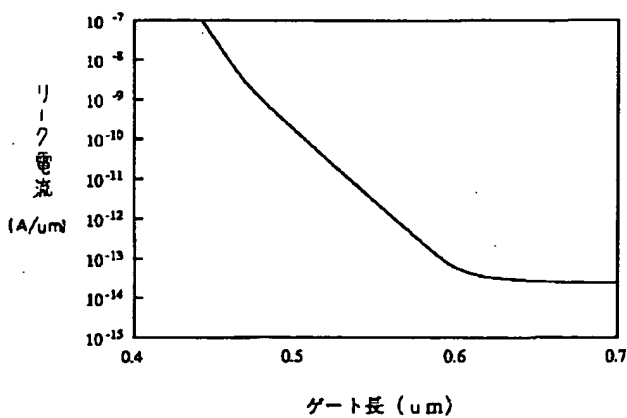
【図 5】



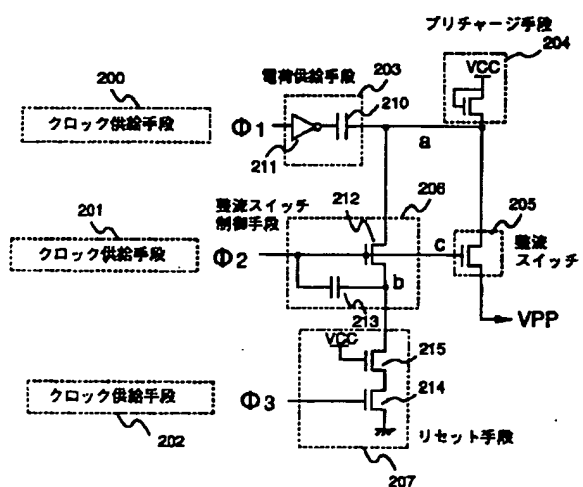
【図 17】



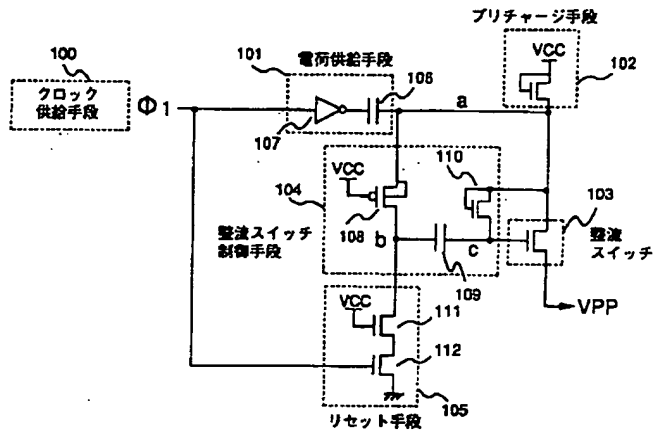
【図 7】



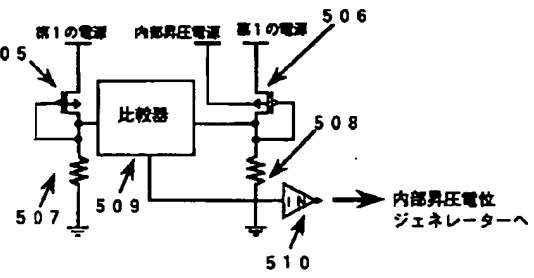
【図 14】



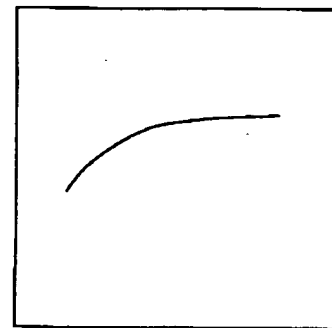
【図 8】



【図 18】

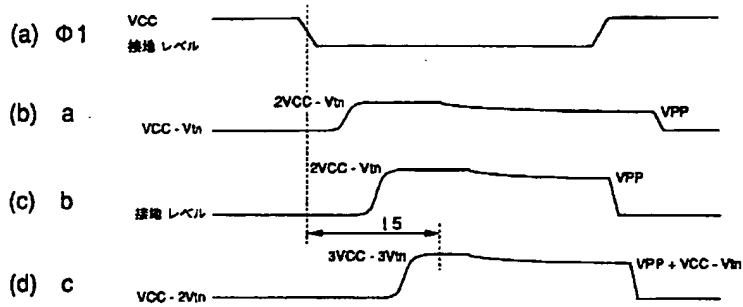


【図 23】

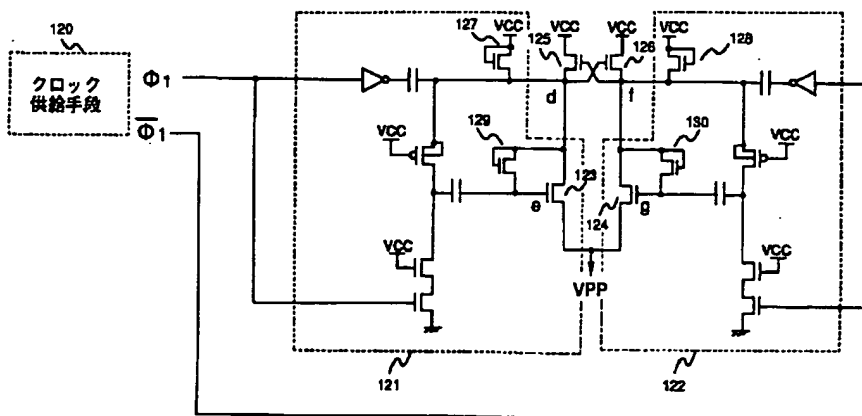


基板電位

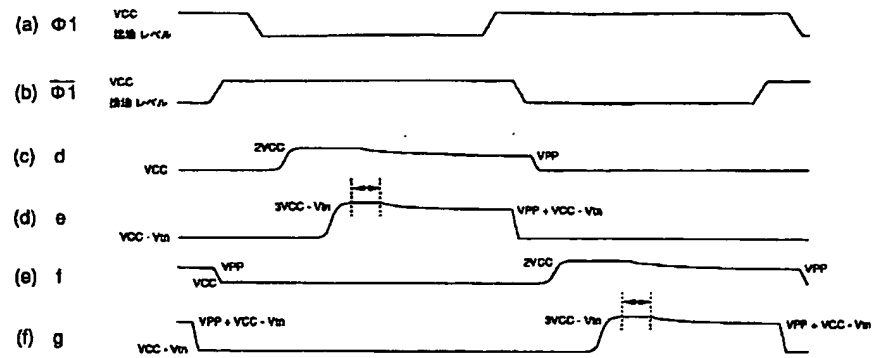
【図 9】



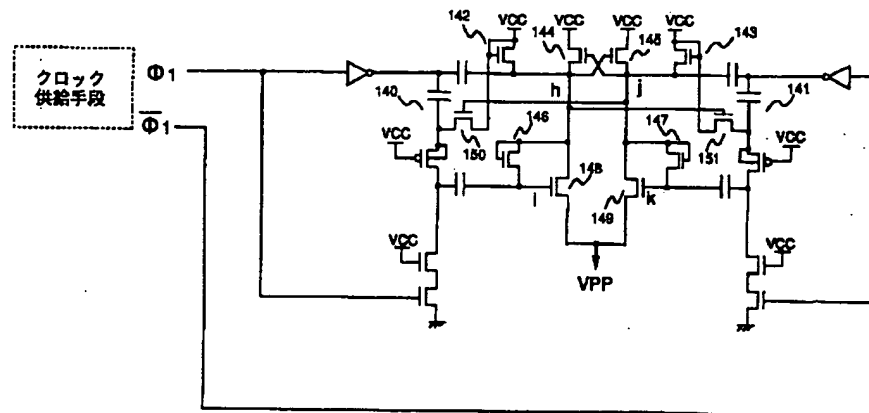
【図 10】



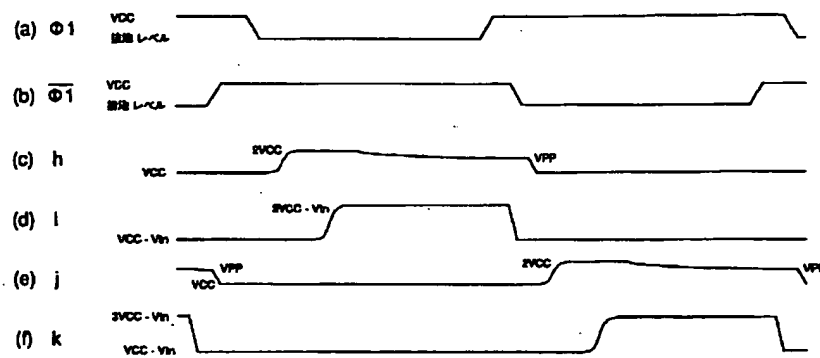
【図 1 1】



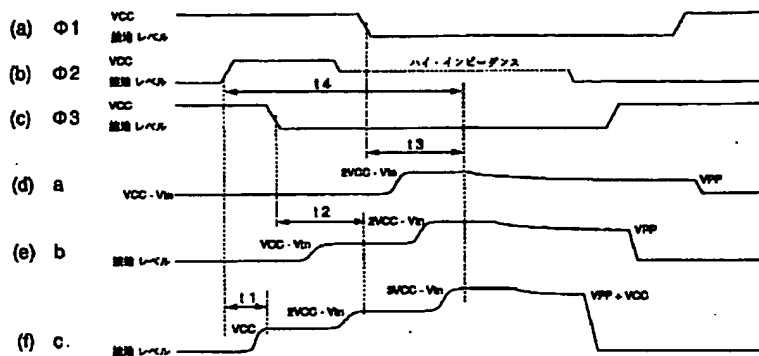
【図 1 2】



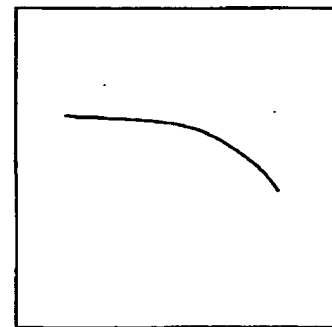
【図 1 3】



【図 15】

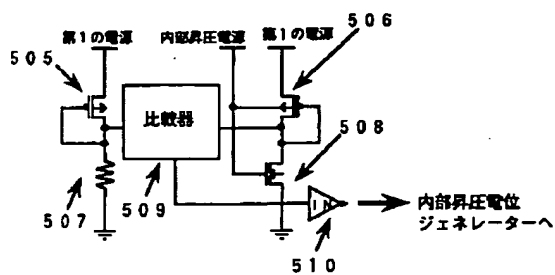


【图 2 4】

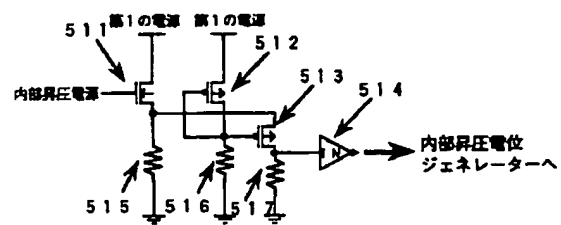


基板電位

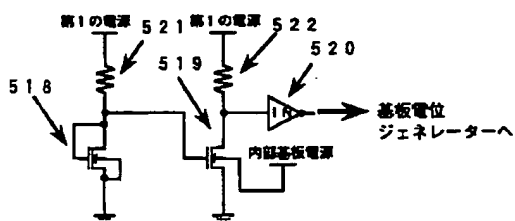
【图 19】



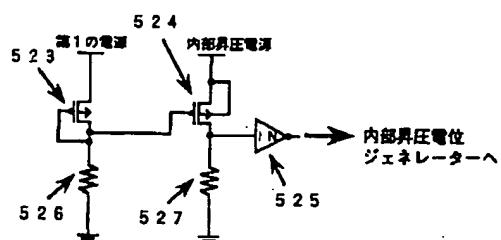
【图 20】



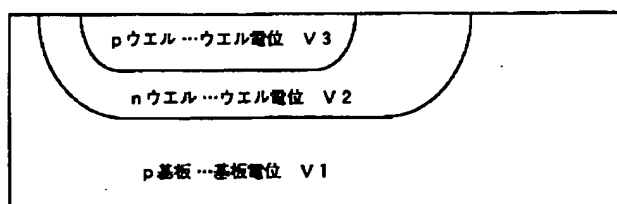
【図 2 1】



【图 2 2】



【图 2 5】



フロントページの続き

(72)発明者 赤松 寛範

大阪府門真市大字門真1006番地 松下電器
産業株式会社内